

LIQUID CRYSTAL PANEL AND MANUFACTURE THEREOF AND ELECTRONIC EQUIPMENT

Patent Number: JP11183934
Publication date: 1999-07-09
Inventor(s): MURADE MASAO
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP11183934

Application Number: JP19970351813 19971219

Priority Number(s):

IPC Classification: G02F1/136; G02F1/1335; G09F9/35; H01L29/786; H01L21/336

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To efficiently flatten a picture element part by utilizing a constitution in which a shielding layer is provided under TFT in a liquid crystal panel of an active matrix drive method by a TFT drive.

SOLUTION: A liquid crystal panel 100 is provided with a liquid crystal layer 50 held between a couple of substrates and picture element electrodes formed in a matrix form on a TFT array substrate 10. The shielding layer is arranged so as to overlap a TFT 30 and the scanning lines looking at them from the bottom. In 1st interlayer insulating layers 12, 13, which are formed on the shielding layer in an area where the shielding layer 11a is formed, and are formed on a TFT array substrate in an area where the shielding layer is not formed, a part opposed to TFT, data lines, scanning lines, etc., is formed in a recessed form looking at it from the side of the opposed substrate.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 8 3 9 3 4

(43) 公開日 平成 11 年 (1999) 7 月 9 日

(51) Int. Cl. ⁶	識別記号	F I
G 0 2 F	1 136 5 0 0	G 0 2 F 1 136 5 0 0
	1 1335 5 0 0	1 1335 5 0 0
G 0 9 F	9 35 3 0 2	G 0 9 F 9 35 3 0 2
H 0 1 L	29 786 6 1 6 A	H 0 1 L 29 78 6 1 6 A
	21 336 6 1 6 S	6 1 6 S
審査請求 未請求	請求項の数 1 9	OL
		(全 3 0 頁) 最終頁に続く

(21) 出願番号 特願平9-351813

(22) 出願日 平成9年(1997)12月19日

(71) 出願人 000002369

セイコーエレクトロニクス株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコー
エレクトロニクス株式会社内

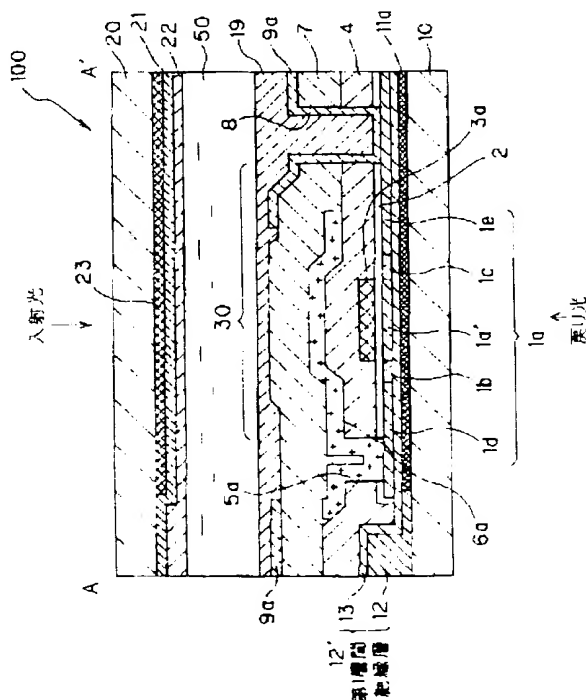
(74) 代理人 菅 理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 液晶パネル及びその製造方法並びに電子機器

(57) 【要約】

【課題】 TFT駆動によるアクティブマトリクス駆動方式の液晶パネルにおいて、TFTの下側に遮光層を設ける構成を利用して、効率良く画素部を平坦化する。

【解決手段】 液晶パネル(100)は、一対の基板間に挟持された液晶層(50)と、TFTアレイ基板(10)にマトリクス状に設けられた画素電極(11)とを備える。遮光層(3)は、TFT(30)及び走査線(31)を下側からみて重なるように配置する。遮光層(11a)が形成されている領域においては遮光層上に、且つ遮光層が形成されていない領域においてはTFTアレイ基板上に設けられた第1層間絶縁層(12、13)は、TFT、データ線及び走査線等に対向する部分が対向基板の側から見て凹状に窪んで形成されている。



【特許請求の範囲】

- 【請求項1】 一対の基板間に液晶が封入されてなり、
該一対の基板の一方の基板上に、複数のデータ線と、該
複数のデータ線に交差する複数の走査線と、前記複数の
データ線及び走査線に接続された複数の薄膜トランジスタ
と、該複数の薄膜トランジスタに接続された複数の薄膜
トランジスタと、前記一対の基板の他方の基板の側か
ら見て凹状に窪んだ部分を有する第1層間絶縁膜とを有し、
前記薄膜トランジスタ、前記データ線及び前記走査線の
うち少なくとも一部は、前記凹状に窪んだ部分に形成さ
れてなることを特徴とする液晶パネル。
- 【請求項2】 一対の基板間に液晶が封入されてなり、
該一対の基板の一方の基板上には、複数のデータ線と、
該複数のデータ線に交差する複数の走査線と、前記複数の
データ線及び走査線に接続された複数の薄膜トランジスタ
と、該複数の薄膜トランジスタに接続された複数の
画素電極と、該複数の薄膜トランジスタの少なくとも一
部が形成用領域を前記一方の基板の側から見て夫々覆
う位置に設けられた遮光層と、前記遮光層上に形成され
た凹状に窪んだ部分を有する第1層間絶縁膜とを有し、
前記薄膜トランジスタ、前記データ線及び前記走査線の
うち少なくとも一部は、前記凹状に窪んだ部分上に形成
されてなることを特徴とする液晶パネル。
- 【請求項3】 前記第1層間絶縁層は、単層から構成さ
れていることを特徴とする請求項1又は2に記載の液晶
パネル。
- 【請求項4】 前記第1層間絶縁層は、単層部分と多層
部分とから構成されており、
前記単層部分が前記凹状に窪んだ部分とされており、前
記多層部分が前記凹状に窪んでいない部分とされている
ことを特徴とする請求項1又は2に記載の液晶パネル。
- 【請求項5】 前記一方の基板に前記複数の走査線と平
行に夫々設けられており前記複数の画素電極に所定量
を夫々付与する複数の容量線とを更に備えており、
前記第1層間絶縁層は、前記容量線に外向する部分も前
記凹状に窪んで形成されたことを特徴とする請求項1か
ら4のいずれか一項に記載の液晶パネル。
- 【請求項6】 前記遮光層は、前記容量線を前記一方の
基板の側から見て重なる位置においても前記一方の基板
に設けられたことを特徴とする請求項1に記載の液晶パ
ネル。
- 【請求項7】 前記第1層間絶縁層は、前記遮光層、前
記半導体層及び前記容量線と合計層厚に対応した深さで
前記凹状に窪んで形成されたことを特徴とする請求項5
又は6に記載の液晶パネル。
- 【請求項8】 前記第1層間絶縁層は、前記遮光層、前
記半導体層、前記容量線及び前記データ線の合計層厚に
対応した深さで前記凹状に窪んで形成されたことを特徴
とする請求項5又は6に記載の液晶パネル。

- 【請求項9】 前記薄膜トランジスタを構成する半導体
層は、前記データ線に沿って延設されており、
前記遮光層は、前記データ線を前記一方の基板の側から
見て重なる位置においても前記一方の基板に設けられた
ことを特徴とする請求項1から8に記載の液晶パネル。
- 【請求項10】 前記第1層間絶縁層は、酸化シリコン
膜又は窒化シリコン膜から構成されていることを特徴と
する請求項1から9のいずれか一項に記載の液晶パネル。
- 【請求項11】 前記遮光層は、Ti、Cr、W、Ta、
Mo及びPdのうち少なくとも一つを含むことを
特徴とする請求項1から10のいずれか一項に記載の液
晶パネル。
- 【請求項12】 前記遮光層は、定電位源に接続されて
いることを特徴とする請求項1から11のいずれか一項
に記載の液晶パネル。
- 【請求項13】 前記第1層間絶縁層は、前記遮光層と
前記定電位源とが接続される位置において、前記凹状に
窪んで形成されると共に開孔されたことを特徴とする請
求項1に記載の液晶パネル。
- 【請求項14】 請求項3に記載の液晶パネルの製造方
法であって、
前記一方の基板上の所定領域に前記遮光層を形成する工
程と、
前記一方の基板及び遮光層上に絶縁層を堆積する工程
と、
該絶縁層に前記凹状に窪んだ部分に対応するレジストパ
ターンをフォトリソグラフィで形成する工程と、
該レジストパターンを介して所定時間のドライエッチン
グを行い前記凹状に窪んだ部分を形成する工程とを備え
たことを特徴とする液晶パネルの製造方法。
- 【請求項15】 請求項3に記載の液晶パネルの製造方
法であって、
前記一方の基板上の所定領域に前記遮光層を形成する工
程と、
前記一方の基板及び遮光層上に第1絶縁層を堆積する工
程と、
該第1絶縁層に前記凹状に窪んだ部分に対応するレジス
トパターンをフォトリソグラフィで形成する工程と、
該レジストパターンを介してエッチングを行い前記凹状
に窪んだ部分に対応する前記第1絶縁層を除去する工程
と、
前記一方の基板及び第1絶縁層上に第2絶縁層を堆積す
る工程とを備えたことを特徴とする液晶パネルの製造方
法。
- 【請求項16】 前記エッチングの方法として、少なくとも
ドライエッチングで処理することを特徴とする請求
項15に記載の液晶パネルの製造方法。
- 【請求項17】 前記エッチングの方法として、少なくとも
ドライエッチングで処理することを特徴とする請

求項15に記載の液晶パネルの製造方法。

【請求項18】 請求項13に記載の液晶パネルの製造方法であって、

前記一方の基板上の所定領域に前記遮光層を形成する工程と、

前記薄膜トランジスタに対向する部分及び前記接続される位置に対応する部分が前記開孔に覆われるように前記一方の基板及び遮光層上に前記第1層間絶縁層を形成する工程と、

前記第1層間絶縁層上に前記薄膜トランジスタを形成する工程と、

前記薄膜トランジスタ及び第1層間絶縁層上に第2層間絶縁層を形成する工程と、

前記遮光層と前記定電位線からの配線を接続するためのコンタクトホールとして、前記接続された位置において前記遮光層に至るまで前記第2及び第1層間絶縁層を開孔すると同時に、前記薄膜トランジスタと前記データ線とを接続するためのコンタクトホールとして、前記薄膜トランジスタを構成する半導体層のソース又はドレイン領域に対向する位置において前記半導体層に至るまで前記第2及び第1層間絶縁層を開孔する工程とを備えたことを特徴とする液晶パネルの製造方法。

【請求項19】 請求項1から13に記載の液晶パネルを備えたことを特徴とする電子機器

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下、TFTと称す）駆動によるアクティブマトリクス駆動方式の液晶パネル及びその製造方法、並びにこれを用いた電子機器の技術分野に属し、特に、液晶プロジェクタ等に用いられる、TFTの下側に遮光層を設けた形式の液晶パネル及びこれを用いた電子機器の技術分野に属する。

【0002】

【従来の技術】従来、この種の液晶パネルが液晶プロジェクタ等にライトバルブとして用いられる場合には一般に、液晶層を挟んでTFTアレイ基板に対向配置される対向基板の側から投射光が入射される。ここで、投射光がTFTのa-Si（アモルファシリコン）膜やp-Si（ポリシリコン）膜から構成されたチャネル形成用の領域に入射すると、この領域において光電変換効果により光電流が発生してしまいTFTのトランジスタ特性が悪化する。このため、対向基板には、各TFTに対向する位置に、カラーコートなどの金属材料や樹脂が形成された第2遮光層と呼ばれる遮光層が形成されるのが一般的である。

【0003】更に、この種の液晶パネルにおいては、特にトランジスタ構造（即ち、TFTアレイ基板においてゲート電極がチャネルの上側に設けられた構造）を採用するトランジスタ型ではコプラナー型のアモルファシリコン

又はポリシリコンTFTを用いる場合には、投射光の一部が液晶プロジェクタ内の投射光系により戻り光として、TFTアレイ基板の側からTFTのチャネルに入射するのを防ぐ必要がある。同様に、投射光が通過する際のTFTアレイ基板の表面からの反射光や、更にカラー用に変換の液晶パネルを組み合わせて使用する場合の他の液晶パネルから出射した後に投射光系を突き抜けてくる投射光の一部が、戻り光としてTFTアレイ基板の側からTFTのチャネルに入射するのを防ぐ必要がある。このために、特開平9-127497号公報、特公平3-526111号公報、特開平3-125123号公報、特開平8-171101号公報等では、石英基板等からなるTFTアレイ基板においてTFTに対向する位置（即ち、TFTの下側）にも、例えば半透明な高融点金属から遮光層を形成した液晶パネルを提案している。

【0004】そして、このようにTFTの下側に遮光層を設ける場合には、遮光層とTFTとを電気的に絶縁したり、遮光層からTFTへの汚染を防ぐために遮光層上に層間絶縁層を形成し、その上にTFTを形成するようにしている。即ち、遮光層をTFTの下側に設けると、これに付随して遮光層とTFTとの間における層間絶縁層が必須の構成要素となる。

【0005】以上のように従来は、遮光層を設けて液晶パネルにおける画質向上を図っているが、この他にも画質向上のために例えば以下のような各種技術がある。

【0006】即ち先ず、この種の液晶パネルにおいて、TFTやデータ線、走査線、容量線などの配線を形成した領域と、これらのTFT等が形成されていない領域（特に画像表示用の投射光が通過する開口領域等）とのTFTアレイ基板上の合計層厚の差による凹凸を、仮にそのまま液晶に接する面（配向膜）にまで残したとすると、その凹凸の程度に応じて液晶に配向不良（ディスプレイリネーション）が発生して、各画素の画像の劣化につながる。より具体的には、各開口領域が窪んだ凹凸面状に形成された配向膜に対してラビング処理を施したので、この凹凸に応じて配向されない領域が生じ、液晶の配向不良が発生してコントラストが変化してしまう。このため従来は、これらのTFT及び各種配線上に電気絶縁用に形成された層間絶縁層の上に更に有機膜等の平坦化膜をアヒューズ等で塗布したり、或いは、この絶縁層をSiO₂（フッ素化シリコン）（誘電体ガラス）等の平坦化膜で形成したりする。そして、このように平坦化された面状に画素電極や配向膜を形成することにより、上述の液晶の配向不良を抑制している。

【0007】また、この種の液晶パネルにおいては、各画素電極に画像信号を供給する際のゲート電圧比が小さくても、フリックやクロストークが発生しないようにするため、各画素電極に所定容量を付与する蓄積容量を設けたりする。より具体的には、画素電極の一部に容

量電極を対向させてコンデンサ構造とし、且つTFTアレイ基板上に走査線に平行に容量線を配線することにより、画素電極に蓄積容量を付与する。この蓄積容量を十分にとることで高精細な画像表示が可能とされる。

【0008】

【発明が解決しようとする課題】液晶パネルにおいては、画質向上と共に製造効率の向上や製造コストの削減の要請が強い。

【0009】しかしながら、前述のように液晶に接する画素部の平坦化を行うと、製造効率やコストが悪化してしまう。特に、前述のようにTFTの下側に遮光層を形成して画素部の平坦化を行おうとすると、遮光層や誘光層に付随して必要となる層間絶縁層まで重ねたTFT部分の合計層厚が増すため、平坦化工程に対する負担が増加して、製造効率やコストが非常に悪化してしまうという問題点がある。

【0010】更に、遮光層やそれに付随して必要となる層間絶縁層等の上方に位置する最上層付近で、凹凸を前述の有機膜、SiO₂等で平坦化すると、平坦化膜自体が厚くなる。このような厚い平坦化膜の上方に形成された画素電極と下方に形成された半導体層のソース又はドレイン領域とを接続する工程が困難となるという問題点がある。即ち、両者を直接に接続するためのコンタクトホールとして、例えば合計約2 μ mという厚い層に開孔することは実践上極めて困難である。そこで、両者をゲータ線を構成するA1層を中絶して電気的接続するためには、A1と画素電極を構成するITO（インジウム・セレン・オキサイド）との相性が悪い（特に両者間で接触抵抗が高く、腐食してしまう）ので、ITO膜とA1層との間に更に層間絶縁層を介在させると共に更に他のT1などの導電層によりA1層とITO膜とを電気的接続する必要が生じてしまう。このためには、例えば、10枚枚のソースのマスクが薄膜形成工程上必要となり、これからの結果として、製造が困難となり製造コストも上昇してしまうという問題点がある。

【0011】本発明は上述した問題点を鑑みなされたものであり、TFTの下側に遮光層を設ける構成やその製造工程における特殊性を利用して、効率良く画素部を平坦化し得る液晶パネル及びその製造方法並びに前記液晶パネルを備えた電圧機器を提供することを課題とする。

【0012】

【課題を解決するための手段】請求項1に記載の液晶パネルは上記課題を解決するために、一対の基板間に液晶が封入されてなり、該一対の基板の一方の基板上に、複数のゲータ線と、該複数のゲータ線に交差する複数の走査線と、前記複数のゲータ線及び走査線に接続された複数の薄膜トランジスタと、該複数の薄膜トランジスタに接続された複数の薄膜トランジスタと、前記一対の基板の他方の基板の側から見て凹状に窪んだ部分を有する第1層間絶縁膜とを有し、前記薄膜トランジスタ、前記平

ータ線及び前記走査線のうち少なくとも一部は、前記凹状に窪んだ部分に形成されてなることを特徴とする。

【0013】請求項1に記載の液晶パネルによれば、第1層間絶縁層は、TFT、ゲータ線及び走査線のうち少なくとも一つに對向する部分が他方の基板の側から見て凹状に窪んで形成されているので、従来のように第1層間絶縁層を平らに形成してその上にこれらのTFT等を形成する場合と比較すると、凹状に窪んだ部分の深さに応じて、これらのTFT等が形成された領域と形成されていない領域との合計層厚の差が減少し、画素部における平坦化が促進される。例えば、この合計層厚の差を実質的に零にするように凹状に窪んだ部分の深さを設定すれば、その後の平坦化処理を省略できるし、或いは、この合計層厚の差を多少なりとも減少させるように凹状に窪んだ部分の深さを設定すれば、その後の平坦化処理の負担を軽減できる。即ち、前述した従来の平坦化膜のマスクコート等による塗布、平坦化された絶縁層の形成等の工程を、省略又は簡略化できる。

【0014】請求項2に記載の液晶パネルは、一対の基板間に液晶が封入されてなり、該一対の基板の一方の基板上には、複数のゲータ線と、該複数のゲータ線にて差する複数の走査線と、前記複数のゲータ線及び走査線に接続された複数の薄膜トランジスタと、該複数の薄膜トランジスタに接続された複数の画素電極と、該複数の薄膜トランジスタのうち少なくとも一部を形成用領域を前記一方の基板の側から見て凹状に窪んだ位置に設けられた遮光層と、前記遮光層上に形成された凹状に窪んだ部分を有する第1層間絶縁膜とを有し、前記薄膜トランジスタ、前記ゲータ線及び前記走査線のうち少なくとも一部は、前記凹状に窪んで部分に形成されてなることを特徴とする。

【0015】請求項2に記載の液晶パネルによれば、遮光層は、複数のTFTのうち少なくとも一部を形成用領域を一方の基板の側から見て凹状に窪んだ位置において一方の基板に設けられている。従って、一方の基板の側から見て凹状に窪んだ位置に設けられた遮光層に入射する光線を未然に防ぐことができ、光電流の発生によりTFTの特性が劣化するのを防ぐことができる。そして、第1層間絶縁層は、一方の基板と遮光層が形成されている領域においては遮光層上に設けられており、遮光層が形成されていない領域においては一方の基板上に設けられている。従って、遮光層からTFT等を電気的に絶縁し得ると共に遮光層がTFT等を汚染する事態を未然に防ぎ得る。この際特に、第1層間絶縁層は、TFT、ゲータ線及び走査線のうち少なくとも一つに對向する部分が他方の基板の側から見て凹状に窪んで形成されているので、従来のように第1層間絶縁層を平らに形成してその上にこれらのTFT等を形成する場合と比較すると、凹状に窪んだ部分の深さに応じて、これらのTFT等が形成された領域と形成されていない領域との合計層厚の差が減少し

し、画素部における平坦化が促進される。例えば、この合計層厚の差を実質的に零にするように凹状に窪んだ部分の深さを設定すれば、その後の平坦化処理を省略できるし、或いは、この合計層厚の差を多少なりとも減小させるように凹状に窪んだ部分の深さを設定すれば、その後の平坦化処理の負担を軽減できる。即ち、前述した従来の、平坦化膜のスピナーコート等による塗布、平坦化された絶縁層の形成等の工程を、省略又は簡略化できる。

【0016】請求項3に記載の液晶パネルは上記課題を解決するために請求項1又は2に記載の液晶パネルにおいて、前記第1層間絶縁層は、単層から構成されていることを特徴とする。

【0017】請求項3に記載の液晶パネルによれば、第1層間絶縁層を単層から構成すればよいので、従来の場合と比較しても層の数を増加させる必要無く、凹状に窪んだ部分とそうでない部分との層厚を制御すれば、当該第1層間絶縁層が得られる。

【0018】請求項1に記載の液晶パネルは上記課題を解決するために請求項1又は2に記載の液晶パネルにおいて、前記第1層間絶縁層は、単層部分と多層部分とから構成されており、前記単層部分が前記凹状に窪んだ部分とされており、前記多層部分が前記凹状に窪んでいない部分とされていることを特徴とする。

【0019】請求項1に記載の液晶パネルによれば、単層部分が凹状に窪んだ部分とされているので、凹状に窪んだ部分における第1層間絶縁層の層厚を、単層部分の層厚として、比較的容易にして確保且つ高精度に制御できる。従って、この凹状に窪んだ部分における第1層間絶縁層の層厚を非常に薄くすることも可能となる。

【0020】請求項5に記載の液晶パネルは上記課題を解決するために請求項1から4のいずれか一項に記載の液晶パネルにおいて、前記一方の基板に前記複数の走査線と平行に夫々設けられており前記複数の画素電極に所定容量を夫々付与する複数の容量線を更に備えており、前記第1層間絶縁層は、前記容量線に対向する部分も前記凹状に窪んで形成されたことを特徴とする。

【0021】請求項5に記載の液晶パネルによれば、第1層間絶縁層は、容量線に対向する部分も凹状に窪んで形成されているので、第1層間絶縁層の上方に容量線が配線される場合には、当該容量線が配線された領域における平坦化を図ることが出来る。そして、容量線に対向する部分における第1層間絶縁層の層厚を非常に薄くすることも可能である。

【0022】請求項6に記載の液晶パネルは上記課題を解決するために請求項5に記載の液晶パネルにおいて、前記遮光層は、前記容量線を前記一方の基板の側から見て重なる位置においても前記一方の基板に設けられたことを特徴とする。

【0023】請求項6に記載の液晶パネルによれば、容量線に対向する部分における第1層間絶縁層の層厚を薄

くすれば、遮光層が容量線を一方の基板の側から見て重なる位置においても一方の基板に設けられているので、容量線の表面積を増やすことと遮光層を介して対向配置された遮光層とTFTを構成する半導体層との間における容量を増やすことが出来る。即ち、全体として画素電極の蓄積容量を増やすことが出来る。

【0024】請求項7に記載の液晶パネルは上記課題を解決するために請求項5又は6に記載の液晶パネルにおいて、前記第1層間絶縁層は、前記遮光層、前記半導体層及び前記容量線の合計層厚に対応した深さで前記凹状に窪んで形成されたことを特徴とする。

【0025】請求項7に記載の液晶パネルによれば、第1層間絶縁層は、遮光層、TFTの半導体層及び容量線の合計層厚に対応した深さで凹状に窪んで形成されているので、これらの遮光層等が形成された領域とそれ以外の領域とにおける段差を低減することが出来る、画素部における平坦化が促進される。

【0026】請求項8に記載の液晶パネルは上記課題を解決するために請求項5又は6に記載の液晶パネルにおいて、前記第1層間絶縁層は、前記遮光層、前記半導体層、前記容量線及び前記データ線の合計層厚に対応した深さで前記凹状に窪んで形成されたことを特徴とする。

【0027】請求項8に記載の液晶パネルによれば、第1層間絶縁層は、遮光層、TFTの半導体層、容量線及びデータ線の合計層厚に対応した深さで凹状に窪んで形成されているので、これらの遮光層等が形成された領域とそれ以外の領域とにおける段差を低減することが出来る、画素部における平坦化が促進される。

【0028】請求項9に記載の液晶パネルは上記課題を解決するために請求項1から8のいずれか一項に記載の液晶パネルにおいて、前記TFTを構成する半導体層は、前記データ線に沿って延設されており、前記遮光層は、前記データ線を前記一方の基板の側から見て重なる位置においても前記一方の基板に設けられたことを特徴とする。

【0029】請求項9に記載の液晶パネルによれば、データ線に沿って延設された半導体層と、データ線を一方の基板の側から見て重なる位置に設けられた遮光層との間で、第1層間絶縁層を介して容量が形成される。この結果、データ線が占める凹状領域を外れたスペースを有効に利用して、画素電極の蓄積容量を増やすことが出来る。

【0030】請求項10に記載の液晶パネルは上記課題を解決するために請求項1から8のいずれか一項に記載の液晶パネルにおいて、前記第1層間絶縁層は、酸化シリコン膜又は窒化シリコン膜から構成されていることを特徴とする。

【0031】請求項10に記載の液晶パネルによれば、酸化シリコン膜又は窒化シリコン膜からなる第1層間絶縁層により、遮光層からTFT等を電氣的絶縁できると

共に遮光層からの汚染を防止できる。しかも、このように構成された第1層間絶縁層は、TFTの下地層に適している。

【0032】請求項11に記載の液晶パネルは上記課題を解決するために請求項1から10のいずれか一項に記載の液晶パネルにおいて、前記遮光層は、Ti（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）及びPd（鉛）のうちの少なくとも一つを含むことを特徴とする。

【0033】請求項11に記載の液晶パネルによれば、遮光層は、不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、例えば、金属単体、合金、金属シリサイド等から構成されるため、TFTアレイ基板上の遮光層形成工程の後に行われるTFT形成工程における高温処理により、遮光層が破壊されたり溶融しないようにできる。

【0034】請求項12に記載の液晶パネルは上記課題を解決するために請求項1から11のいずれか一項に記載の液晶パネルにおいて、前記遮光層は、定電位源に接続されていることを特徴とする。

【0035】請求項12に記載の液晶パネルによれば、遮光層は定電位源に接続されているので、遮光層は定電位とされる。従って、遮光層に互向配置されるTFTに対し遮光層の電位変動が悪影響を及ぼすことはない。

【0036】請求項13に記載の液晶パネルは上記課題を解決するために請求項12に記載の液晶パネルにおいて、前記第1層間絶縁層は、前記遮光層と前記定電位源とが接続される位置において、前記凹状に窪んで形成されると共に開孔されたことを特徴とする。

【0037】請求項13に記載の液晶パネルによれば、第1層間絶縁層は、遮光層と定電位源とが接続される位置において凹状に窪んで形成されているので、その製造プロセスにおいて、当該第1層間絶縁層形成後に、この凹状に窪んだ部分の深さに応じて、この位置を開孔する工程が容易となる。

【0038】請求項14に記載の液晶パネルの製造方法は上記課題を解決するために請求項2に記載の液晶パネルの製造方法であって、前記一方の基板上の所定領域に前記遮光層を形成する工程と、前記一方の基板及び遮光層上に絶縁層を堆積する工程と、該絶縁層に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、該レジストパターンを介して所定時間のドライエッチングを行い前記凹状に窪んだ部分を形成する工程とを備えたことを特徴とする。

【0039】請求項14に記載の液晶パネルの製造方法によれば、まず、一方の基板上の所定領域に遮光層が形成され、一方の基板及びこの遮光層上に絶縁層が堆積される。次に、該絶縁層に凹状に窪んだ部分に対応するレジストパターンが、フォトリソグラフィで形成され、その後、ドライエッチングが、このレジストパターンを介

して所定時間だけ行われて、凹状に窪んだ部分が形成される。従って、ドライエッチングの時間管理により、凹状に窪んだ部分の深さや層厚を制御できる。

【0040】請求項15に記載の液晶パネルの製造方法は上記課題を解決するために請求項3に記載の液晶パネルの製造方法であって、前記一方の基板上の所定領域に前記遮光層を形成する工程と、前記一方の基板及び遮光層上に第1絶縁層を堆積する工程と、該第1絶縁層に前記凹状に窪んだ部分に対応するレジストパターンをフォトリソグラフィで形成する工程と、該レジストパターンを介してエッチングを行い前記凹状に窪んだ部分に対応する前記第1絶縁層を除去する工程と、前記一方の基板及び第1絶縁層上に第2絶縁層を堆積する工程とを備えたことを特徴とする。

【0041】請求項15に記載の液晶パネルの製造方法によれば、まず、一方の基板上の所定領域に遮光層が形成され、一方の基板及びこの遮光層上に第1絶縁層が堆積される。次に、この第1絶縁層に、凹状に窪んだ部分に対応するレジストパターンが、フォトリソグラフィで形成され、その後、エッチングが、このレジストパターンを介して行われて、凹状に窪んだ部分に対応する第1絶縁層が除去される。その後、一方の基板及びこの第1絶縁層上に第2絶縁層が堆積される。この結果、凹状に窪んだ部分における第1層間絶縁層の層厚を、第2絶縁層の層厚の管理により、比較的容易にして確実且つ高精度に制御できる。

【0042】請求項16に記載の液晶パネルの製造方法は上記課題を解決するために前記エッチングの方法として、少なくともドライエッチングで処理することを特徴とする。

【0043】請求項16に記載の液晶パネルの製造方法によれば、前記エッチングを少なくともドライエッチングで行うため、レジストパターンのない遮光層上の絶縁層を異方的に除去できる。これにより、ほぼ設計どおりに高精度で凹状に窪んだ部分を形成できる。

【0044】請求項17に記載の液晶パネルの製造方法は上記課題を解決するために前記エッチングの方法として、少なくともウェットエッチングで処理することを特徴とする。

【0045】請求項17に記載の液晶パネルの製造方法によれば、前記エッチングを少なくともウェットエッチングで行うため、遮光層上の絶縁層に形成した凹状に窪んだ部分の側壁をテーパー状に形成できる。これにより、側壁部に後工程で形成される配線用の導電材料の付着を容易にして確実に行うことができる。従って、不要な膜が残ることがない、滞留などの低下を招かない。

【0046】請求項18に記載の液晶パネルの製造方法は上記課題を解決するために請求項12に記載の液晶パネルの製造方法であって、前記一方の基板上の所定領域に前記遮光層を形成する工程と、前記TFTに互向する

部分及び前記接続される位置に対応する部分が前記凹状に窪むように前記一方の基板及び遮光層上に前記第1層間絶縁層を形成する工程と、前記第1層間絶縁層上に前記TFTを形成する工程と、前記TFT及び第1層間絶縁層上に第2層間絶縁層を形成する工程と、前記遮光層と前記定電位源からの配線とを接続するためのコンタクトホールとして、前記接続される位置において前記遮光層に至るまで前記第2及び第1層間絶縁層を開孔すると同時に、前記TFTと前記ゲータ線とを接続するためのコンタクトホールとして、前記TFTを構成する半導体層のソース又はドレイン領域に対向する位置において前記半導体層に至るまで前記第2層間絶縁層を開孔する工程とを備えたことを特徴とする。

【0047】請求項18に記載の液晶パネルの製造方法によれば、一方の基板上の所定領域に遮光層が形成され、TFTに対向する部分及び遮光層と定電位源とが接続される位置に対応する部分が凹状に窪むように一方の基板及びこの遮光層上に第1層間絶縁層が形成され、その後、TFTが第1層間絶縁層上に形成され、更にTFT及び第1層間絶縁層上に第2層間絶縁層が形成される。この第2層間絶縁層は、TFT、ゲータ線、走査線等の電気絶縁用に設けられるものである。ここで、遮光層と定電位源からの配線とを接続するためのコンタクトホールとして、遮光層に至るまで第2及び第1層間絶縁層が開孔され、同時に、TFTとゲータ線とを接続するためのコンタクトホールとして、半導体層に至るまで第2層間絶縁層が開孔される。従って、これら2種類のコンタクトホールを一括して開孔できる。

【0048】請求項19に記載の電子機器は上記課題を解決するために請求項1から12に記載の液晶パネルを備えたことを特徴とする。

【0049】請求項19に記載の電子機器によれば、電子機器は、上述した本願発明の液晶パネルを備えており、効果良の画素部を単現化し得る液晶パネルにより高品位の画像表示が可能となる。

【0050】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにならる。

【0051】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。

【0052】（液晶パネルの構成及び動作）本発明による液晶パネルの実施の形態の構成及び動作について図1から図10に基づいて説明する。

【0053】先ず、液晶パネルの基本構成について、図1から図4を参照して説明する。図1は、ゲータ線、走査線、画素電極、遮光層等が形成されたTFTアレイ基板10上の隣接した画素群の平面図である。図2は、遮光層と定電位源との接続部分の平面図である。図3は、図1のA-A'断面を対向基板等と共に示す液晶パネルの実施の形態の断面図であり、図4は、図3の液晶パネル

の変形形態の断面図である。図5は、図1のB-B'断面を対向基板等と共に示す液晶パネルの断面図であり、図6は、図1のC-C'断面を対向基板等と共に示す液晶パネルの断面図である。また図7は、図2のD-D'断面を対向基板等と共に示す液晶パネルの断面図である。尚、図3から図7においては、各層や各部材を図面上で認識可能な程度の大ききとするため、各層や各部材毎に縮尺を異ならしめてある。

【0054】図1において、液晶パネルのTFTアレイ基板10には、マトリクス状に複数の透明な画素電極9a（点線部9a'）により輪郭が示されている。画素電極9aの縦横の境界に次々沿ってゲータ線6a（ソース電極）、走査線3a（ゲート電極）及び容量線3bが設けられている。ゲータ線6aは、コンタクトホール5aを介して非画素部からなる半導体層1aのうち後述のソース領域に電気的接続されており、画素電極9aは、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域に電気的接続されている。また、半導体層1aのうち後述のチャンネル形成用領域1a'（図中右下りの斜線の領域）に対向するように走査線3a（ゲート電極）が配置されている。そして、図中右がりの斜線で示した領域に画素部における遮光層11aが設けられている。即ち遮光層11aは、画素部において、半導体層1aのチャンネル形成用領域1a'を含むTFT、ゲータ線6a、走査線3a及び容量線3bをTFTアレイ基板の側から見て次々重なる位置に設けられている。

【0055】図1において特に、ゲータ線6a、走査線3a及び容量線3bを含む大域で囲まれた網目状の（マトリクス状の）領域においては、後述の第1層間絶縁層が凹状に窪んで形成されており、それ以外の画素電極9aには対向する領域においては、当該第1層間絶縁層が相対的に凸状に（平面状に）形成されている。

【0056】図2において液晶パネルのTFTアレイ基板10には、ゲータ線6aと同じA1等の導電層から形成された定電位線6bが設けられており、コンタクトホール5bを介して非画素部における遮光層（遮光配線）11bと接続されている。図2において特に、コンタクトホール5bを含む大域で囲まれた領域においては、後述の第1層間絶縁層が凹状に窪んで形成されており、それ以外の領域においては、当該第1層間絶縁層が相対的に凸状に（平面状に）形成されている。

【0057】図3から図4に示すように、液晶パネル100は、透明な一方の基板の一方を構成するTFTアレイ基板10と、これに対向配置される透明な他方の基板の一方を構成する対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、マトリクス処理等の所定の配向処理が施さ

れた配向膜19が設けられている。画素電極9aは例えば、ITO膜（インジウム・スズ・オキサイド膜）などの透明導電性薄膜からなる。また配向膜19は例えば、サリイミド薄膜などの有機薄膜からなる。

【0058】他方、対向基板20には、その全面に渡って共通電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。共通電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0059】TFTアレ基板10には、図3に示すように、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御するTFT30が設けられている。

【0060】対向基板20には、更に図3から図7に示すように、各画素の開口領域以外の領域に第2遮光層23が設けられている。このため、対向基板20の側から投射光がTFT30の半導体層1aのチャネル形成用領域1a'やLDD（Lightly Doped Drain）領域1b及び1cに照射することはない。更に、第2遮光層23は、20

コトラス効果向上、色材の混色防止などの機能を有する。

【0061】このように構成され、画素電極9aと共通電極21とが対面するように配置されたTFTアレ基板10と対向基板20との間には、後述のシール材52（図8及び図9参照）により囲まれた空間に液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜19及び22により所定の配向状態を採る。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液30

【0062】図3に示すように、TFT30に夫々対向する位置においてTFTアレ基板10と各TFT30との間には、例えばWSi（タンタルシリサイド）からなる遮光層11aが夫々設けられている。遮光層11aは、好ましくは不透明な高融点を有するTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFTアレ基板10上の遮光層11aの形成工程の後に、おけるTFT30の形成工程における高温処理により、遮光層11aが破壊されたり溶融しないようにできる。遮光層11aが形成されているので、TFTアレ基板10の側からの投射光等がTFT30のチャネル形成用領域1a'やLDD領域1b、1cに入射する事態を未然に防ぐことができ、光電流の発生によりTFT30の特性が劣化す

ることではない。

【0063】更に、遮光層11aと複数のTFT30との間には、第1絶縁層12及び第2絶縁層13から構成された第1層間絶縁層12'が設けられている。第1層間絶縁層12'は、TFT30を構成する半導体層1aを遮光層11aから電気的絶縁するために設けられるものである。更に、第1層間絶縁層12'は、TFTアレ基板10の全面に形成されることにより、TFT30のための下地膜としての機能をもち有する。即ち、TFTアレ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等でTFT30の特性の劣化を防止する機能を有する。

【0064】ここで特に図3から図7に示すように、第1層間絶縁層12'は、TFTアレ基板10上の遮光層11aが形成されている領域においては遮光層11a上に形成されており、遮光層11aが形成されていない領域においてはTFTアレ基板10上に設けられている。そして、TFT30、ゲータ線6a、走査線3a及び容量線3bに対向する部分が対向基板20の側から見て凹状に窪んで形成されている。本実施形態では特に、第1層間絶縁層12'は、単層部分と2層部分とから構成されており、第2絶縁層13の単層部分が薄くなって凹状に窪んだ部分とされており、第1及び第2絶縁層12及び13の2層部分が厚くなって凹状に窪んでいない部分とされている。このように、第1層間絶縁層12'を構成すると、凹状に窪んだ部分における第1層間絶縁層12'の層厚を、第2絶縁層13の層厚として、比較的容易にして確実且高精度に制御できる。従って、この凹状に窪んだ部分における第1層間絶縁層12'の層厚（即ち、第2絶縁層13の層厚）を非常に薄くすることも可能となる。

【0065】以上で構成された第1層間絶縁層12'により、遮光層11aからTFT30等を電気的絶縁し得ると共に遮光層11aがTFT30等を汚染する事態を未然に防げる。ここで特に、第1層間絶縁層12'は、TFT30、ゲータ線6a、走査線3a及び容量線3bに対向する部分が凹状に窪んで形成されているので、従来のように第1層間絶縁層を平らに形成してその上にこれらのTFT等を形成する場合と比較すると、凹状に窪んだ部分の深さに応じて、これらのTFT等が形成された領域と形成されていない領域との合計層厚の差が減少し、画素部における平坦化が促進される。

【0066】例えば、この合計層厚の差を実質的に零にせしように凹状に窪んだ部分の深さを設定すれば、その後の平坦化処理を省略できる。或いは、この合計層厚の差を多少なりとも減少させるように凹状に窪んだ部分の深さを設定すれば、その後の平坦化処理の負担を軽減できる。より好ましくは、第1層間絶縁層12'は、遮光層11a、半導体層1a、容量線3b及びゲータ線3aの合計層厚に対応した深さに凹状に窪んで形成される。

このように第1層間絶縁層12'を構成すれば、データ線6aの上面とこれに隣接した第2層間絶縁層4の上面とをほぼ合わせることが出来、画素電極9aを形成する前の画素部における平坦化が促進される。但し、第1層間絶縁層12'は、遮光層11a、半導体層1a及び容量線3bの合計層厚に対応した深さで凹状に窪んで形成されてもよい。このように第1層間絶縁層12'を構成すれば、第2層間絶縁層4の上面をほぼ平坦に出来、画素電極9aを形成する前の画素部における平坦化が促進される。

【0067】以上のように、遮光層11aを設けることにより必要となる第1層間絶縁層12'の所定領域が凹状に窪んで形成されているので、本実施の形態によれば、前述した従来の、平坦化膜のアピンコート等による塗布、CMP処理、平坦化された絶縁層の形成等の工程を、省略又は簡略化できる。

【0068】尚、図4に示すように、図3の2層から構成された第1層間絶縁層12'に代えて、第1層間絶縁層12'を単層から構成してもよい。このように単層から構成すれば、従来の場合と比較しても層の数を増加させる必要が無い。凹状に窪んだ部分とそうでない部分との層厚を後述のように例えばエッチング時間管理により制御すれば、当該第1層間絶縁層12'が得られる。

【0069】再び図3において、第1層間絶縁層12'は、例えば、NSG（ノンドーピングシリケートガラス）、PSG（ポリシリケートガラス）、BSG（ボロシリケートガラス）、BPSG（ボロポリシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。

【0070】本実施の形態では図1及び図5に示すように、半導体層1aの高濃度ドレイン領域1eは、データ線6aに沿って延設されており、遮光層11aは、データ線6aの下にも設けられているので、データ線6aに沿って延設された第1蓄積容量電極（ポリシリコン層）1fと遮光層（第3蓄積容量電極）11aとの間で、第2絶縁層13を介して容量が形成される。この結果、データ線6aの下という開口領域を外れたスペースを有効に利用して、画素電極9aの蓄積容量を増やすことが出来る。また、容量線（第2蓄積容量電極）3bと第1蓄積容量電極1fとの間で、ゲート絶縁膜と同一工程で形成される絶縁膜を誘電体として、容量が形成される。これにより、第1蓄積容量電極1fの上及び下方で、容量形成が可能となり、限られた面積で効果的に蓄積容量が追加できるため、画素サイズの微細化が可能となる。或いは、高い開口率を表現できるため明視野液晶パネルを提供できる。

【0071】本実施の形態では図1及び図6に示すように、第1層間絶縁層12'は、容量線（第2蓄積容量電極）3bに対向する部分も凹状に窪んで形成されているので、第1層間絶縁層12'の上方に容量線3bが配線

されても、当該容量線3bが配線された領域における平坦化を図ることが出来る。そして、容量線3bに対向する部分における第1層間絶縁層12'の層厚は非常に薄い（例えば、1000～2000Å程度に）構成されており、且つ、遮光層（第3蓄積容量電極）11aが容量線3bの下にも設けられているので、容量線3bの表面積を増やすことなく第2絶縁層13を介して対向配置された遮光層11aと半導体層1aの高濃度ドレイン領域1eから延設された第1蓄積容量電極1fとの間における蓄積容量70を増やすことが出来る。即ち、全体として画素電極9aの蓄積容量70を増やすことが出来る。このように、特に画面表示領域中の限られた領域において各画素の開口領域を狭めないように蓄積容量を増加させることができるので大変有利である。尚、容量線3bを設けずに、前段の走査線3aとの間で蓄積容量を形成してもよい。また、容量線3bに定電位を供給する定電位線を周辺駆動回路（後述のデータ線駆動回路、走査線駆動回路等）の負電源、正電源等の定電位源に接続すれば、外部からの信号を入力するための実装端子と、当該実装端子から経設される信号配線を直くことができ、液晶パネルが小型化した場合にとっても有利になる。

【0072】本実施の形態では図2及び図7に示すように、遮光配線部の遮光層11b（及びこれに接続された画素部における遮光層11a）は定電位線6bに電氣的接続されているので、遮光層11aは定電位とされる。従って、遮光層11aに対向配置されるTFT30に対し遮光層11aの電位変動が悪影響を及ぼすことはない。この場合、定電位線6bの定電位としては、接地電位に等しくてもよいし、共通電極21の電位に等しくてもよい。また、定電位線6bは、液晶パネル100を駆動するための周辺駆動回路の負電源、正電源等の定電位源に接続されてもよい。また、遮光層11bと上述の容量線3bを電氣的に接続しても何ら問題はない。この場合、定電位線が共用化できるため、信号配線が削減でき、スペースの有効利用が図れ、液晶パネルが小型化した場合にとっても有利になる。

【0073】更に図2及び図7に示すように、第1層間絶縁層12'は、遮光層11bと定電位線6bとが接続される位置において、凹状に窪んで形成されているので、後述のように第1層間絶縁層12'形成後にコンタクトホール5bをエッチングにより開孔する工程か、この凹状に窪んだ部分の奥さに応じて容易となり、コンタクトホール5aと5bを一括して開孔できる。従って、コンタクトホール5bを開孔するための工程を省くことが可能となるため、プロセスの削減と工程数減少による歩留まりの向上が実現できる。

【0074】再び図3において、TFT30は、LD（Lightly Doped Drain）構造を有しており、走査線3a（ゲート電極）、走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル形成用領域1

10

20

30

40

50

10 a'、走査線3aと半導体層1aとを絶縁するゲート絶縁層2、半導体層1aの低濃度ソース領域(ソース側LDD領域)1b、データ線6a(ソース電極)、半導体層1aの低濃度ドレイン領域(ドレイ側LDD領域)1c、半導体層1aの高濃度ソース領域1d及び高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちに対応する一々が接続されている。ソース領域1b及び1d並びにドレイン領域1c及び1eは後述のように、半導体層1aに対し、n型又はp型のチャネルを形成することによって所定濃度のn型用又はp型用のドーパントをドーパすることにより形成されている。n型チャネルのTFETは、動作速度が速いという利点があり、画素のスイッチング素子であるTFET30として用いられることが多い。本実施の形態では特にデータ線6a(ソース電極)は、A1等の金属膜や金属シリサイド等の合金膜などの遮光性薄膜から構成されている。また、走査線3a(ゲート電極)、ゲート絶縁層2及び第1層間絶縁層12の上には、高濃度ソース領域1dへ通じるコンタクトホール8a及び高濃度ドレイン領域1eへ通じるコンタクトホール8bが形成された第2層間絶縁層1が形成されている。このソース領域1bへのコンタクトホール8aを介して、データ線6a(ソース電極)は高濃度ソース領域1dに電気的接続されている。更に、データ線6a(ソース電極)及び第2層間絶縁層4の上には、高濃度ドレイン領域1eへのコンタクトホール8bが形成された第3層間絶縁層7が形成されている。この高濃度ドレイン領域1eへのコンタクトホール8bを介して、画素電極9aは高濃度ドレイン領域1eに電気的接続されている。前述の画素電極9aは、このように構成された第3層間絶縁層7の上面に設けられている。

【0075】TFET30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を持つてよい。ゲート電極3aをマスクとして高濃度不純物イオンを打ち込み、自己整合的に高濃度ソース領域1d及びドレイン領域1eを形成するセルフアライメント型のTFETであってもよい。また、図3に示すように本実施の形態では、TFET30の高濃度ソース領域1dと高濃度ドレイン領域1e間に、ゲート絶縁層2を介して、同一の走査信号が供給される2つのゲート電極3aを設けて、デュアルゲート構造のTFETとしてよい。これにより、TFET30のリーク電流を低減することができる。また、デュアルゲート構造のTFETを、上記のLDD構造、あるいはオフセット構造を持つようにすれば、更にTFET30のリーク電流を低減することができる。高いコントラスト比を実現することができる。また、デュアルゲート構造により、冗長性を抑えることができ、大幅に駆動電圧を低減できるだけでなく、高温動作時でもリーク電流が低い

ため、高コントラスト比の画質を実現することができる。尚、TFET30の高濃度ソース領域1dと高濃度ドレイン領域1e間に設けるゲート電極3aは3つ以上でもよいことは言うまでもない。

【0076】ここで、一般には、半導体層1aのチャネル形成用領域、低濃度ソース領域1b及び低濃度ドレイン領域1c等のポリシリコン層は、光が入射するとポリシリコンが有する光電変換効果により光電流が発生してしまいTFET30のトランジスタ特性が劣化するが、本実施の形態では、走査線3a(ゲート電極)を上側から覆うようにデータ線6a(ソース電極)やA1等の遮光性の金属薄膜から形成されているので、少なくとも半導体層1aのチャネル形成用領域1a'及びLDD領域1b、1cへの照射光(即ち、図3で上側からの光)の入射を効果的に防ぐことが出来る。また、前述のように、TFET30の下側には、遮光層11aを設けられているので、少なくとも半導体層1aのチャネル形成用領域1a'及びLDD領域1b、1cへの照射光(即ち、図3で下側からの光)の入射を効果的に防ぐことが出来る。

【0077】また図6に示すように、画素電極9aには蓄積容量70が設けられている。この蓄積容量70は、より具体的には、半導体層1aと同一工程により形成され、半導体層1aの高濃度ドレイン領域1eから延設されたポリシリコン層からなる第1蓄積容量電極1f、ゲート絶縁層2を介して形成される絶縁層2'、走査線3a(ゲート電極)と同一工程により形成される容量線3b(第2蓄積容量電極)、第2及び第3層間絶縁層4及び7、並びに第2及び第3層間絶縁層4及び7を介して容量線3bに対向する画素電極9aの一部から構成されている。このように蓄積容量70が設けられているため、チャージレックは小さく、フリックのない高精細な表示が可能とされる。容量線3b(第2蓄積容量電極)は、図1に示すように、TFETアレイ基板10の面上において走査線3a(ゲート電極)と平行に設けられている。更に、本実施の形態では、第1蓄積容量電極1f(下層第1層間絶縁層12)を薄膜化できるので、蓄積容量の増大を図ることが出来、画質品位の高い液晶パネルが実現できる。

【0078】ところで、本実施の形態では、図1に示す半導体層1a、データ線6a、走査線3a、及び容量線3bを全て含む形成領域(第1層間絶縁層を薄膜化していても、画像信号や走査信号の信号遅延が容認できないレベルになったとき)、画素スイッチング用TFET30の下側、マスク残像に影響を及ぼすような場合が考えられる時は、半導体層1a、データ線6a、走査線3a、及び容量線3bの少なくとも1箇所の領域における第1層間絶縁層を薄膜化すればよい。

【0079】以上のように構成された液晶パネル100の全体構成を図8及び図9を参照して説明する。尚、図8は、TFETアレイ基板10をその上に形成された各種

成要素と共に対向基板20の側から見た平面図であり、図9は、対向基板20を含めて示す図8のH-H'断面図である。

【0080】図8において、TFTアレ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えばガラスやプラスチック等の第2遮光層23と同じ或いは異なる材料から成る遮光性の周辺見切り53が設けられている。シール材52の外側の領域には、データ線駆動回路101及び実装端子102がTFTアレ基板10の一边に沿って設けられており、走査線駆動回路104が、この一边に隣接する2辺に沿って設けられている。更にTFTアレ基板10の残る一边には、画面表示領域の両側に設けられた走査線駆動回路104間を電気的に接続するための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所において、TFTアレ基板10と対向基板20との間で電気的導通をとるための導通材からなる銀点106が設けられている。そして、図9に示すように、図8に示したシール材52とはほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレ基板10に固着されている。

【0081】データ線駆動回路101及び走査線駆動回路104は配線によりデータ線6a（ソース電極）及び走査線3a（ゲート電極）にそれぞれ電気的に接続されている。データ線駆動回路101には、図示しない制御回路から即時長が可能な形式に変換された画像信号が入力され、走査線駆動回路104が周期的に走査線3aに順番にゲート電圧を送るのに合わせて、データ線駆動回路101は画像信号に応じた信号電圧をデータ線6a（ソース電極）に送る。本実施の形態では特に、TFT30はp-Si（ポリシリコン）タイプのTFTであるので、TFT30の形成時に同一工程で、データ線駆動回路101及び走査線駆動回路104を形成することも可能であり、製造上有利である。

【0082】図10に遮光配線部をなす遮光層11bのTFTアレ基板100上の2次元のレイアウトを示す。

【0083】図10に示すように、遮光層11aは、周辺見切り53の内画面表示領域において走査線3a、

（図示しない）走査線3b及びデータ線6aを重ねるように引き回されており、画面表示領域の外側で、対向基板20上の周辺見切り53の内側部を通過するように配線し、図2に示したように走査線に接続される。このように配線すれば、周辺見切り53のデッドスペースを有効に使うことが出来、シール材を硬化させる面積を広くとることが出来る。また、対向基板20上に設けられた周辺見切り53をTFTアレ基板10上に遮光層11aと同層で同材料で設け、遮光層11a及び11bと電気的に接続するようにする。このように、周辺見切り53を内蔵することにより対向基板20上の第2遮光層は必

要無くなるため、TFTアレ基板10と対向基板20の貼り合わせ時の精度は無視することが出来、透過率のばらばらな明るい液晶装置を実現できる。また、遮光層11aは走査線3aに沿ってその下方のみに配設するだけでもよいし、或いは、データ線6aに沿ってその下方のみに配設するようにしてもよい。上述した遮光層11aの配設方法は、段差部の層厚と、歩留まりを考慮して選択するようにする。

【0084】尚、図8から図10において、TFTアレ基板10上には更に、複数のデータ線6aに所定電圧レベルのリチャージ信号を画像信号に先行してそれぞれ供給するプリチャージ回路、画像信号をサンプルアンドホールド回路、複数のデータ線6aにそれぞれ供給するサンプルアンドホールド回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路101及び走査線駆動回路104をTFTアレ基板10上に設ける代わりに、例えばTAB（テープオートマテイング）方式の基板（基板）上に実装された駆動用LSIに、TFTアレ基板10の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。

【0085】また、図1から図10には示されていないが、対向基板20の投射光が入射する側及びTFTアレ基板10の投射光が出射する側にはそれぞれ、例えば、TN（ツイステッドネマティック）モード、STN（スーパーTN）モード、D-STN（ダブルSTN）モード等の動作モードや、ノーマリーホワイトモード、ノーマリーブラックモードの別に応じて、偏光フィルム、位相遅延フィルム、偏光板などが所定の方向で配置される。

【0086】次に、以上のように構成された本実施の形態の動作について図3及び図8から図10を参照して説明する。

【0087】先ず、制御回路から画像信号を受けたデータ線駆動回路101は、この画像信号に応じたタイミング及び大きさで信号電圧をデータ線6a（ソース電極）に印加し、これと並行して、走査線駆動回路104は、所定タイミングで走査線3a（ゲート電極）にゲート電圧を周期的に順次印加し、TFT30は駆動される。これにより、ゲート電圧がオンとされた時点でソース電圧が印加されたTFT30においては、半導体層1aのソース領域1d及び1b、チャネル形成用領域1aに形成されたチャネル並列領域1c及び1eを介して画素電極9aに電圧が印加される。そして、この画素電極9aの電圧は、ソース電圧が印加された時間よりも例えば3倍も長い時間だけ蓄積容量70（図6参照）により保持される。

【0088】以上のように、画素電極9aに電圧が印加されると、液晶層50におけるこの画素電極9aと共通電極21とに挟まれた部分における液晶の配向状態が変

化し、ノーマリーホワイトモードであれば、印加された電圧に応じて投射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて投射光がこの液晶部分を通過可能とされ、全体として液晶パネル100から、画像信号に応じたコントラストを持つ光が射出する。

【0089】特に本実施の形態では、TFT30についての透光性に優れており、反射光による悪影響が低減されるため、TFT30のトランジスタ特性が改善されており、しかも第1層間絶縁層12はTFT30や各種配線に対向する位置において凹状に窪んで形成されているので、液晶の配向不良が低減されており、最終的には、液晶パネル100により、高コントラストで高画質の画像を表示することが可能となる。

【0090】以上説明した液晶パネル100は、カラー液晶プロジェクタに適用されるため、3つの液晶パネル100がRGB用のライトバルクとして夫々用いられ、各パネルにはそれぞれRGB色を解用のマイクロインクミラーを含んで分解された各色の光が投射光として夫々入射されることになる。従って、各実施の形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、液晶パネル100においてもブラックマトリツクス23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に本実施の形態の液晶パネルを適用できる。更に、対向基板20上に1画素1個に対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶パネルが実現できる。更にまた、対向基板20には、何層もの屈折率の相違する介質層を堆積することで、光の干渉を利用して、RGB色を作り出すマイクロインクフィルタを形成してもよい。このマイクロインクフィルタ付き対向基板によれば、より明るいカラー液晶パネルが実現できる。

【0091】液晶パネル100では、従来と同様に投射光を対向基板20の側から入射することとしたが、遮光層11aが存在するので、TFTアレイ基板10の側から投射光を入射し、対向基板20の側から射出するようにしてもよい。即ち、このように液晶パネル100を液晶プロジェクタに取り付けても、半導体層1aを遮光層11aで形成用領域1a'及びLDD領域1b、1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板10の裏面側の反射を防出するために、反射防止用のAR被膜された偏光板を別途配置した。ARフィルムを貼り付ける必要があった。しかし、本実施の形態では、TFTアレイ基板10の表面と半導体層1aの少なくとも一部分を形成用領域1a'及びLDD領域1b、

1cとの間に遮光層11aが形成されているため、このようなAR被膜された偏光板やARフィルムを用いたり、TFTアレイ基板10そのものをAR処理した基板を使用する必要がなくなる。従って、本実施の形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、半留まりを落とすことかならず有利である。また、耐久性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光交換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0092】尚、液晶パネル100において、TFTアレイ基板10側における液晶分子の配向不良を更に抑制するために、第3層間絶縁層7aの上に更に平坦化膜をエピコート等で塗布してもよい。又はCMP処理を施してもよい。或いは、第3層間絶縁層7を平坦化膜で形成してもよい。本実施の形態では、図3及び図7に示したように、第1層間絶縁層12の凹状の窪みによりTFT30や各種配線が形成された部分とそれ以外の部分とが殆ど同じ高さとなるため、このような平坦化処理は一般には必要でないが、より高品質の画像を表示するために、このように最上層部において更なる平坦化を行う場合には、平坦化膜を非常に薄くできたり、平坦化処理を僅かに加えるだけで済むので本実施の形態は、大変有利である。

【0093】また、液晶パネル100のスイッチング素子は、直スタカ型又はコプラナー型のボリシリコン、TFTであるとして説明したが、直スタカ型のTFTやアモルファスシリコンTFT等その他の形式のTFTに対しても、本実施の形態は有効である。

【0094】更に、液晶パネル100においては、一例として液晶層50をネマチック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜19及び22、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶パネルの高輝度化や低消費電力化が利点が得られる。更に、画素電極9aをAl層や反射率の高い金属材料から構成することにより、液晶パネル10を反射型液晶装置に適用する場合には、電圧無印加状態で液晶分子がほぼ垂直配向されたSH-スーパーオキナトロヒック型液晶などを用いてもよい。更にまた、液晶パネル100においては、液晶層50に対し垂直な電界（縦電界）を印加するように対向基板20の側に共通電極21を設けているが、液晶層50に平行な電界（横電界）を印加するように、一対の横電界を生成し電極間の画素電極9aを夫々構成すること（即ち、対向基板20の側には縦電界発生用の電極を設けることとなる。TFTアレイ基板10の側に横電界発生用の電極を設ける）ことも可能である。このように横電界を用いると、縦電界を用いた場合よりも視野角を広げる上で有利である。その他、各種の液晶材料（液晶相）、動作モード、液晶配り、駆

動方法等に本実施の形態を適用することが可能である。

【0095】（製造プロセス）次に、以上のような構成を持つ液晶パネル100の製造プロセスについて図11から図26を参照して説明する。尚、図11から図14は各工程におけるTFTアレイ基板側の各層を図3のA-A'断面に対応させて示す工程図であり、図15から図18は各工程におけるTFTアレイ基板側の各層を図5のB-B'断面に対応させて示す工程図であり、図19から図22は各工程におけるTFTアレイ基板側の各層を図6のC-C'断面に対応させて示す工程図であり、図23から図26は各工程におけるTFTアレイ基板側の各層を図7のD-D'断面に対応させて示す工程図である。そして、各図に記された工程（1）～工程（20）は、TFTアレイ基板1上の異なる部分における同一の工程として夫々一括して行われるものである。

【0096】先ず、図11から図14を参照して、図1のA-A'断面に対応するTFT30を含む部分の製造プロセスについて説明する。

【0097】図11の工程（1）に示すように、石英基板、ソーダガラス等のTFTアレイ基板10を用意する。ここで、好ましくはN₂（窒素）等の不活性ガス雰囲気中約900～1300℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。

【0098】このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、アモルファス化により、1000～3000Å程度の層厚、好ましくは約2000Åの層厚の遮光膜11を形成する。

【0099】続いて、工程（2）に示すように、該形成された遮光膜11上にアモルファス化シリコンにより遮光層11aのパターンに対応するレジストマスクを形成し、該レジストマスクを介して遮光膜11に対しエッチングを行うことにより、遮光層11aを形成する。

【0100】次に工程（3）に示すように、遮光層11aの上には、例えば、常圧又は減圧CVD法等によりFEOS（セトラ・エチレ・オキシル・トリメチルシランガス、TEOS（セトラ・エチレ・オキシル・トリメチルシランガス、TMOP（セトラ・メチル・オキシル・トリメチルシランガス）等を用いて、N₂G、PSG、BSG、BP₂Gなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1絶縁層12（2層の第1層間絶縁層12'の下層）を形成する。この第1絶縁層12の層厚は、例えば、約8000～12000Åとする。

【0101】次に工程（4）に示すように、TFT30、ゲータ線6a、走査線3a及び容量線3bを上方に

形成する予定の領域に対して、エッチングを行い、この領域における第1絶縁層12を除去する。ここで、エッチングを反応性エッチング、反応性イオンビームエッチング等のドライエッチングで処理した場合、アモルファス化シリコンにより形成したレジストマスクとはほぼ同じサイズで異方的に第1絶縁層12が除去できるため、設計方法とおり容易に制御できる利点がある。一方、少なくともエッチングを用いた場合は、等方性のため、第1層間絶縁層12の開孔領域が広がるが、開孔部の側壁面をテーパー状に形成できるため、後工程の例えば走査線3aを形成するためのポリシリコン膜やレジストが、開孔部の側壁面周囲にエッチングの剥離されずに残ってしまうという事がない、歩留まりの低下を招かない。尚、第1層間絶縁層12の開孔部の側壁面をテーパー状に形成する方法としては、ドライエッチングで一度エッチングしてから、レジストパターンを後退させて、再度ドライエッチングを行ってもよい。

【0102】次に工程（5）に示すように、遮光層11a及び第1絶縁層12の上には、第1絶縁層12と同様に、シリケートガラス膜、又は窒化シリコン膜や酸化シリコン膜等からなる第2絶縁層13（2層の第1層間絶縁層12'の上層）を形成する。この第2絶縁層13の層厚は、例えば、約1000～2000Åとする。第2絶縁層13に対し、約900℃のアニール処理を施すことにより、汚染を防止と共に平坦化してもよい。

【0103】本実施の形態では特に、第1層間絶縁層を形成する第1絶縁層12及び第2絶縁層13の層厚は、後に画素電極11bが形成される前に画素領域がほぼ平坦になるように設定される。

【0104】次に工程（6）に示すように、第2絶縁層13の上には、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約100～600sccmのモリブデンガス、シリランガス等を用いた減圧CVD（例えば、圧力約20～40PaのCVD）により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、1～6時間のアニール処理を施すことにより、ポリシリコン膜1を約500～2000Åの厚さ（好ましくは約1000Åの厚さ）となるまで調相成長させる。この第1nチャネル型のTFT30を作成する場合には、Sb（アンチモン）、As（砒素）、P（リン）などのV族元素のドーパントを電気的にイオン注入等によりドーピングする。また、TFT30をpチャネル型とする場合には、B（硼素）、Ga（ガリウム）、In（インジウム）などのIII族元素のドーパントを電気的にイオン注入等によりドーピングする。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成してもよい。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで非晶質化（アモルファス化）し、その後アニール

10

20

30

40

50

ル処理等により再結晶化させてポリシリコン膜1を形成してもよい。

【0105】次に図12の工程(7)に示すように、フォトリソグラフィ工程、エッチング工程等により、図1に示した如き所定パターンの半導体層1aを形成する。

【0106】次に工程(8)に示すように、半導体層1aを約900~1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約300Åの比較的薄い厚さの熱酸化膜を形成し、更に、減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化膜を約500Åの比較的薄い厚さに堆積し、多層構造を持つゲート絶縁層2を形成する。この結果、半導体層1aの厚さは、約300~1500Åの厚さ、好ましくは約350~500Åの厚さとなり、ゲート絶縁層2の厚さは、約200~1500Åの厚さ、好ましくは約300~1000Åの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型基板を使用する場合に熱による歪りを防止することができ、但し、ポリシリコン層1を熱酸化することのみにより、単一層構造を持つゲート絶縁層2を形成してもよい。

【0107】次に工程(9)に示すように、減圧CVD法等によりポリシリコン層3を堆積した後、リン(P)を熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーパントシリコン膜を用いてもよい。工程(10)に示すように、マスクを用いたフォトリソグラフィ工程、エッチング工程等により、図1に示した如き所定パターンの走査線3a(ゲート電極)を形成する。走査線3a(ゲート電極)の層厚は、例えば、約3500Åとされる。

【0108】但し、走査線3a(ゲート電極)を、シリコン層ではなく、W(タングステン)やMo(モリブデン)等の高融点金属膜又は金属シリサイド膜から形成してもよいし、若しくはこれらの金属膜又は金属シリサイド膜とポリシリコン膜を組み合わせて多層に形成してもよい。この場合、走査線3a(ゲート電極)を、第2遮光層23が覆う領域の一部又は全部に対応する遮光膜として配置すれば、金属膜や金属シリサイド膜の露出遮光性により、第2遮光層23の一部或いは全部を省略することも可能となる。この場合特に、対向基板20とTFTアレイ基板10との貼り合わせすれによる画素間漏れを防止することが出来る利点がある。

【0109】次に工程(11)に示すように、TFT30をLDD構造を持つnチャネル型のTFTとする場合、p型の半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するため、走査線3a(ゲート電極)を拡散マスクとして、PなどのV族元素のドーパント200を低濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{14}/\text{cm}^2$ のドーパ量にて)ドーパする。これにより走査線3a(ゲート電極)下の半導体層1aはチャネル形成領域1a'となる。

【0110】続いて、図13の工程(12)に示すように、高濃度ソース領域1b及び高濃度ドレイン領域1cを形成するために、走査線3a(ゲート電極)よりも幅の広いマスクでレジスト層202を走査線3a(ゲート電極)上に形成した後、同じくPなどのV族元素のドーパント201を高濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{16}/\text{cm}^2$ のドーパ量にて)ドーパする。また、TFT30をpチャネル型とする場合、n型の半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素のドーパントを用いてドーパする。このようにLDD構造とした場合、ショットキー効果を抑えられる利点がある。尚、例えば、低濃度のドーパを行わずに、オフセット構造のTFTとしてもよい。走査線3a(ゲート電極)をマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。

【0111】これらの工程と並行して、nチャネル型ポリシリコンTFT及びpチャネル型ポリシリコンTFTから構成されるCMOS(相補型MOS)構造を持つデータ線駆動回路101及び走査線駆動回路101をTFTアレイ基板10上の周辺部に形成する。このように、TFT30はポリシリコンTFTであるので、TFT30の形成時に同一工程で、データ線駆動回路101及び走査線駆動回路104を形成することができ、製造上有利である。

【0112】次に工程(13)に示すように、走査線3a(ゲート電極)を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁層4を形成する。第2層間絶縁層4の層厚は、約5000~15000Åが好ましい。

【0113】次に工程(14)に示すように、高濃度ソース領域1d及び高濃度ドレイン領域1eを活性化するために約1000℃のアニール処理を20分程度行った後、データ線31(ソース電極)に対するコンタクトホール5aを、反応性エッチング、反応性イオンエッチング等のドライエッチングにより形成する。この際、反応性エッチング、反応性イオンエッチングのような異方性エッチングにより、コンタクトホール5aを開孔した方が、開孔形状をマスク形状とはほぼ同じにできるという利点がある。但し、ドライエッチングや反応性エッチングを組み合わせて開孔すれば、コンタクトホール5aを開孔できる一方で、配線接続時の断線を防ぐことができるという利点がある。また、走査線3a(ゲート電極)を囲繞しない配線と接続するためのコンタクトホールも、コンタクトホール5aと同一の工程により第2層間絶縁層4に開ける。

【0114】次に工程(15)に示すように、第2層間絶縁層4の上は、フッ素タリシク処理等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約1000~5000Åの厚さ、好ましくは約3000Åに堆積し、更に工程(16)に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線6a(ソース電極)を形成する。

【0115】次に図14の工程(17)に示すように、データ線6a(ソース電極)上を覆うように、例えば、常圧又は減圧CVD法やTEOS法等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁層7を形成する。第3層間絶縁層7の層厚は、約5000~15000Åが好ましい。

【0116】お実施の形態では、特に図11の工程

(4)及び(5)により、TFT30や各種配線部分において、第1層間絶縁層が開口に覆われて形成されているため、この工程(17)を終えた段階で、画素領域の表面はほぼ平坦となる。尚、より平坦にするためには、第3層間絶縁層7を構成するシリケートガラス膜に代えて又は重ねて、有機膜やSiO₂、アヒ、ナノガラス)をエッチコートして、若しくは又はCMP処理を施して、平坦な膜を形成してもよい。

【0117】次に工程(18)に示すように、画素電極9aと高濃度ドレイン領域1cとを電気的接続するためのコンタクトホール8を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール8を開孔した方が、開孔形状をマスク形状とほぼ同じにできるといった利点が得られる。但し、ドライエッチングとウェットエッチングとを組み合わせて開孔すれば、コンタクトホール8をテーパ状にできるため、配線接続時の断線を防止できるといった利点も得られる。

【0118】次に工程(19)に示すように、第3層間絶縁層7の上は、フッ素タリシク処理等により、ITO膜等の透明導電性薄膜9を、約500~2000Åの厚さに堆積し、更に工程(20)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。尚、当該液晶パネル100を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0119】続いて、画素電極9aの上にはポリイミド系の配向膜の塗布液を塗布した後、所定のプリティルト角を持つように且つ所定方向でラビング処理を施すこと等により、図3に示した配向膜10が形成される。

【0120】他方、図3に示した対向基板20においては、ガラス基板や石英基板等が用意され、第2遮光層23及び遮光性周辺見切り53が、例えば金属クロムをエッチタリシクした後、フォトリソグラフィ工程、

エッチング工程を経て形成される。尚、第2遮光層23及び周辺見切り53は、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトリソグストに分散した樹脂マラックなどの材料から形成してもよい。

【0121】その後、対向基板20の全面にフッ素タリシク処理等により、ITO等の透明導電性薄膜を、約500~2000Åの厚さに堆積することにより、共通電極21を形成する。更に、共通電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプリティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22が形成される。

【0122】最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜19及び22が対面するようにシール材52により貼り合わされ、真空吸引等により、両基間の空間に、例えば複数種類のメタリック液晶を混合してなる液晶が吸引されて、所定厚みの液晶層50が形成される。

【0123】次に、図15から図18を参照して、図1のB-B'断面に対するデータ線を含む部分の製造プロセスについて説明する。

【0124】図15より工程(1)から図18の工程(20)は、前述した図11の工程(1)から図11の工程(20)と同一の製造プロセスとして行われる。

【0125】即ち、図15の工程(1)に示すように、TFTアレイ基板10の全面に遮光膜11を形成した後、工程(2)に示すように、フォトリソグラフィ工程、エッチング工程等により遮光層11aを形成する。

【0126】次に工程(3)に示すように、遮光層11aの上は、第1絶縁層12(2層の第1層間絶縁層12'の上層)を形成し、工程(4)に示すように、データ線6aを上方に形成する予定の領域に対して、エッチングを行い、この領域における第1絶縁層12を除去する。ここで、エッチングを反応性エッチング、反応性イオンビームエッチング等のドライエッチングで処理した場合、フォトリソグラフィにより形成したレジストマスクをほぼ同じサイズで異方的に第1絶縁層12を除去できるため、設計手法とおり容易に制御できる利点がある。一方、少なくともウェットエッチングを用いた場合は、等方性のため、第1層間絶縁層12の開孔領域が広がるが、開孔部を側壁面をテーパ状に形成できるため、後工程の例えば容量線10bを形成するためのポリシリコン膜やレジストが、開孔部の側壁面にエッチングや剥離されずに残ってしまうという事象が、半留まりの残りを招くため、尚、第1層間絶縁層12の開孔部の側壁面をテーパ状に形成する方法としては、ドライエッチングで一度エッチングしてから、レジストターンを後退させて、再度ドライエッチングを行ってもよい。

【0127】次に、工程(5)に示すように、遮光層11a及び第1絶縁層12'上に、第2絶縁層13(2層の第1層間絶縁層12'の上層)を形成する。

【0128】次に工程(6)に示すように、第2絶縁層13上にアモルファスシリコン膜を形成した後、ポリシリコン膜1を固相成長させる。

【0129】次に図16の工程(7)に示すように、フオトリソグラフィ工程、エッチング工程等により、図1に示した如き所定パターン1の半導体層1aを形成する。

【0130】次に工程(8)に示すように、第1蓄積容量電極1fを熱酸化すること等により、ゲート絶縁層2を形成する。特に限定されないが、第1蓄積容量電極1e'に例えば、Pイオンをドーパ量約 $3 \times 10^{15}/\text{cm}^2$ でドーピングして、低抵抗化させてもよい。ポリシリコン膜1からなる半導体層1aを延設して第1蓄積容量電極1fを形成する。更に、その上に工程(9)に示すように、ポリシリコン層3を堆積した後、工程(10)に示すように、フオトリソグラフィ工程、エッチング工程等により、図1に示した如き所定パターン1の容量線3bを走査線3aと同一層から形成する。従って、容量線3bの層厚は、走査線3a(ゲート電極)と同じ。例えば、約 3500\AA とされる。

【0131】次に図16の工程(11)及び図17の工程(12)に示すように、不純物イオン $200 \sim 201$ をドーピングして容量線3bを更に低抵抗化する。

【0132】次に工程(13)に示すように、容量線3bを覆うように、第2層間絶縁層1を形成し、工程(14)に示すように、容量線3bを図示しない配線と接続するためのコンタクトホールを第2層間絶縁層4に開ける。

【0133】次に工程(15)に示すように、第2層間絶縁層4の上に、スパッタリング処理等により、Al等を金属膜6として堆積した後、工程(16)に示すように、フオトリソグラフィ工程、エッチング工程等により、データ線6a(ソース電極)を形成する。

【0134】次に図18の工程(17)に示すように、データ線6a(ソース電極)上を覆うように、第3層間絶縁層7を形成する。

【0135】本実施の形態では、特に図15の工程(4)及び(5)により、データ線6a部分において、第1層間絶縁層が同様に渾んで形成されているため、この工程(17)を終えた段階で、画素領域の表面はほぼ平坦となる。

【0136】次に図18の工程(18)では、コンタクトホール8が開けられるのを待った後、工程(19)に示すように、第3層間絶縁層7a上に、1Tの膜等の透明導電性薄膜を堆積し、更に工程(20)に示すように、フオトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。

【0137】次に、図19から図22を参照して、図1のC-C'断面に対応する走査線及び容量線を含む部分の製造プロセスについて説明する。

【0138】図19の工程(1)から図22の工程(2)

0)は、前述した図11の工程(1)から図14の工程(20)と同一の製造プロセスとして行われる。

【0139】即ち、図19の工程(1)に示すように、TFEアレイ基板10の全面に遮光膜11を形成した後、工程(2)に示すように、フオトリソグラフィ工程、エッチング工程等により遮光膜11aを形成する。

【0140】次に工程(3)に示すように、遮光膜11aの上は、第1絶縁層12(2層の第1層間絶縁層12'の下層)を形成し、工程(4)に示すように、走査線3a及び容量線3bを上方に形成する予定の領域に対して、エッチングを行い、この領域における第1絶縁層12を除去する。ここで、エッチングを反応性エッチング、反応性イオンビームエッチング等のドライエッチングで処理した場合、フオトリソグラフィにより形成したレジスタマスクとはほぼ同じサイズで異方的に第1絶縁層12を除去できるため、設計手法とおり容易に制御できる利点がある。一方、少なからずのエッチングを用いた場合は、等方性のため、第1層間絶縁層12の開孔領域が深くなるか、開孔部の側壁面をテーパー状に形成できるため、後工程の例えば容量線3bを形成するためのポリシリコン膜やレジスタマスク、開孔部の側壁側面にエッチングの割離されずに残ってしまうという事がない、歩留まりの低下を招かない。尚、第1層間絶縁層12の開孔部の側壁面をテーパー状に形成する方法としては、ドライエッチングで一度エッチングしてから、レジスタマスクを後退させて、再度ドライエッチングを行ってもよい。

【0141】次に、工程(5)に示すように、遮光膜11a及び第1絶縁層12の上に、第2絶縁層13(2層の第1層間絶縁層12'の上層)を形成する。

【0142】次に工程(6)に示すように、第2絶縁層13上にアモルファスシリコン膜を形成した後、ポリシリコン膜1を固相成長させる。

【0143】次に図20の工程(7)に示すように、フオトリソグラフィ工程、エッチング工程等により、図1に示した如き所定パターン1のポリシリコン膜1からなる半導体層1aを延設して、第1蓄積容量電極1fを形成する。

【0144】次に工程(8)に示すように、第1蓄積容量電極1fを熱酸化すること等により、ゲート絶縁層2を形成し、更に、その上に工程(9)に示すように、ポリシリコン層3を堆積した後、工程(10)に示すように、フオトリソグラフィ工程、エッチング工程等により、図1に示した如き所定パターン1の走査線3a及び容量線3bを形成する。

【0145】次に図20の工程(11)及び図21の工程(12)に示すように、不純物イオン $200 \sim 201$ をドーピングして走査線3a及び容量線3bを更に低抵抗化する。

【0146】次に工程(13)に示すように、走査線3

a及び容量線3bを覆うように、第2層間絶縁層4を形成し、工程(14)に示すように、走査線3a及び容量線3bを図示しない配線と接続するためのコンタクトホールを第2層間絶縁層4に開孔する。

【0147】次に工程(15)に示すように、第2層間絶縁層4の上に、スパッタリング処理等により、Al等を金属膜6として堆積した後、工程(16)に示すように、フォトリソグラフィ工程、エッチング工程等により、当該断面には存在しないデータ線a(ソース電極)を形成する。

【0148】次に図22の工程(17)に示すように、第2層間絶縁層4aを覆うように、第3層間絶縁層7を形成する。

【0149】本実施の形態では、特に図19の工程(4)及び(5)により、走査線3a及び容量線3b部分において、第1層間絶縁層が凹状に窪んで形成されているため、この工程(17)を終えた段階で、画素領域の表面はほぼ平坦となる。

【0150】次に図22の工程(18)では、コンタクトホール8が開孔されるのを待った後、工程(19)に示すように、第3層間絶縁層7の上に、ITO膜等の透明導電性薄膜9を堆積し、更に工程(20)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。

【0151】次に、図23から図26を参照して、図2のD-D'断面に対応する遮光層と定電位線との接続部分を含む部分の製造プロセスについて説明する。

【0152】図23の工程(1)から図24の工程(20)は、前述した図11の工程(1)から図14の工程(20)と同一の製造プロセスとして行われる。

【0153】即ち、図23の工程(1)に示すように、TFTアレイ基板10の全面に遮光膜11を形成した後、工程(2)に示すように、フォトリソグラフィ工程、エッチング工程等により遮光層11bを形成する。

【0154】次に工程(3)に示すように、遮光層11bの上に、第1絶縁層12(2層の第1層間絶縁層12'の下層)を形成し、工程(4)に示すように、接続部分を上方に形成する予定の領域に対して、エッチングを行い、この領域における第1絶縁層12を除去した後、工程(5)に示すように、遮光層11b及び第1絶縁層12の上に、第2絶縁層13(2層の第1層間絶縁層12'の上層)を形成する。

【0155】次に工程(6)に示すように、第2絶縁層13上にアモルファスシリコン膜を形成した後、ポリシリコン膜1を固相成長させる。

【0156】次に図24の工程(7)及び(8)では、画素部における半導体層1aとゲート絶縁層2a形成を待ち、その後、工程(9)に示すように、ポリシリコン層3を一旦堆積した後、工程(10)に示すように、この接続部分ではポリシリコン層3は全て除去される。

【0157】次に図24の工程(11)及び図24の工程(12)に示すように、半導体層1aのための不純物イオン200、201のドーピングが終了する。

【0158】次に工程(13)に示すように、第1絶縁層13を覆うように、第2層間絶縁層4を形成し、工程(14)に示すように、遮光層11bと定電位線6bとを接続するためのコンタクトホール5bを第2層間絶縁層4に開孔する。この際、第2層間絶縁層4の下に形成されているのは第1層間絶縁層12'のうち第2絶縁層13だけなので、半導体層1aの高濃度ソース領域1d上で第2層間絶縁層4を開孔して、コンタクトホール5aを形成する工程(図13の工程(14))と同一のエッチング工程で一気に関孔できる。

【0159】次に工程(15)に示すように、第2層間絶縁層4の上に、スパッタリング処理等により、Al等を金属膜6として堆積した後、工程(16)に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線a(同一層(A1等)から定電位線6bを形成する。

【0160】次に図26の工程(17)に示すように、定電位線6b及び第2層間絶縁層4aを覆うように、第3層間絶縁層7を形成する。

【0161】次に図26の工程(18)では、コンタクトホール8が開孔されるのを待った後、工程(19)に示すように、第3層間絶縁層7の上に、ITO膜等の透明導電性薄膜9を一旦堆積し、更に工程(20)に示すように、フォトリソグラフィ工程、エッチング工程等によりこの部分については全て除去する。

【0162】以上のように本実施の形態における液晶パネルの製造方法によれば、遮光層11bと定電位線6bとを接続するためのコンタクトホール5bとして、遮光層11bに至るまで第2層間絶縁層4及び第1絶縁層13(第1層間絶縁層の上層)が開孔され、同時に、TFT30とデータ線aとを接続するためのコンタクトホール5aとして、半導体層1aに至るまで第2層間絶縁層4が開孔される。従って、これら2種類のコンタクトホール5a及び5bを一括して開孔できるので、製造上有利である。例えば、選択比を適当な値に設定してエッチングエッチングにより、このような2種類のコンタクトホール5a及び5bをそれぞれ所定の深さとなるように一括して開孔することが可能となる。特に、第1層間絶縁層4凹状に窪んだ部分の深さに応じて、これらのコンタクトホールを開孔する工程が容易となる。遮光層と定電位線を接続したため、コンタクトホール開孔工程(フォトリソグラフィ工程、エッチング工程等)が削除できるため、工程増による製造コストの増大や歩留まりの低下を招かない。

【0163】以上説明したように本実施の形態における製造プロセスによれば、凹状に窪んだ部分における第1層間絶縁層12'の層厚を、第2絶縁層13の層厚の管

理により、比較的容易にして確実且つ高精度に制御できる。従って、この開示に基いた部分における第1層間絶縁層12'の層厚を非常に薄くすることも可能となる。

【0164】尚、図1に示したように、第1層間絶縁層12'を単層から構成する場合には、図11、図15、図19及び図23に示した工程(3)、(4)及び(5)に若干の変更を加えて、工程(1)から(20)を行えばよい。即ち、工程(3)において、遮光層11aの上に、例えば、約10000~15000Åといったように若干厚めの単層の第1層間絶縁層12'を堆積し、工程(4)において、TFT30、データ線6a、走査線3a及び容量線3bを上方に形成する予定の領域に対して、エッチングを行い、この領域における第1層間絶縁層12'を1000~2000Å程度の厚みを残すようにする。そして、工程(5)を省略する。この場合にも、第1層間絶縁層12'のエッチングしない部分の層厚とエッチングした部分の層厚とは、後に画素電極9aが形成される前に画素領域がほぼ平坦になるように設定される。このように第1層間絶縁層12'を単層から構成すれば、従来の場合と比較しても層の数を増加させる必要が無く、即ちに入った部分とそうでない部分との層厚をエッチ、時間管理により制御すれば平坦化を図れるので便利である。

【0165】(電子機器)次に、以上詳細に説明した液晶パネル100を備えた電子機器の実施の形態について図27から図31を参照して説明する。

【0166】先ず図27に、このように液晶パネル100を備えた電子機器の概略構成を示す。

【0167】図27において、電子機器は、表示情報出力部1000、表示情報処理回路1002、駆動回路1004、液晶パネル100、クロック発生回路1003並びに電源回路1010を備えて構成されている。表示情報出力部1000は、ROM(Read Only Memory)RAM(Random Access Memory)、光アクセス装置などのメモリ、画像信号を同調して出力する制御回路等を含み、クロック発生回路1003からクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、相展開回路、カラーセリジョン回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、液晶パネル100を駆動する。電源回路1010は、上述の各回路に所定電圧を供給する。液晶パネル100を構成するTFTアレイ基板の上面に駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載してもよい。

【0168】次に図28から図31に、このように構成

された電子機器の具体例を示す。

【0169】図28において、電子機器の一例たる液晶プロジェクタ100は、上述した駆動回路1004がTFTアレイ基板上に搭載された液晶パネル100を含む液晶表示モジュールを3個用い、それぞれRGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクタとして構成されている。液晶プロジェクタ100では、メタル・ライトパイプ等の白色光源のランプユニット1102から投射光が発せられると、3枚のミラー1106及び2枚のタイコロスミラー1108によって、RGBの3原色に対応する光成分R、G、Bに分けられ、各色に対応するライトバルブ100R、100G及び100Bにそれぞれ導かれる。この際特にB光は、長い光路による光損失を防ぐために、入射レンズ1122、ミラーレンズ1123及び出射レンズ1124からなるミラーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bによりそれぞれ変調された3原色に対応する光成分は、タイコロスミラーシステム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

【0170】本実施の形態では特に、遮光層がTFTの上面にも設けられているため、当該液晶パネル100からの投射光に基づき液晶プロジェクタ内の投射光学系による反射光、投射光が通過する際のTFTアレイ基板の表面からの反射光、他の液晶パネルから出射した後にタイコロスミラーシステム1112を透過して出る投射光の一部(R光及びG光の一部)等が、漏れ光としてTFTアレイ基板の側面から入射しても、画素電極のアイソレーション用のTFT等のチャネル領域に対する遮光を十分に行うことができる。このため、小型化に適したプリズムを投射光学系に用いても、各液晶パネルのTFTアレイ基板とプリズムと之間において、漏れ光防止用のARフィルムを貼り付けたり、偏光板にAR波長処理を施したりすることが必要となるので、構成を小型且つ簡易化する上で大変有利である。

【0171】図29において、電子機器の他の例たるマルチメディア対応のコンパクト型のパーソナルコンピュータ(PC)1200は、上述した液晶パネル100がディスプレイケーシング内に備えられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202を組み込んだ本体1204を備えている。

【0172】図30において、電子機器の他の例たるパーソナルコンピュータ1300は、金属フレーム1302内に駆動回路1004がTFTアレイ基板上に搭載された液晶表示モジュールをなす液晶パネル100が、バックライト1306を含むライトガイド1306、回路基板1308、第1及び第2のシールド板1310及び1312、2つの弾性導電体1314及び1316、並びにフィルムキャパシタ1318と共に収容されている。

この例の場合、前述の表示情報処理回路1002(図27参照)は、回路基板1308に搭載してもよい、液晶パネル100のTFTアレイ基板上に搭載してもよい。更に、前述の駆動回路1004を回路基板1308上に搭載することも可能である。

【0173】尚、図30に示す例はページみであるので、回路基板1308等が設けられている。しかしながら、駆動回路1004や更に表示情報処理回路1002を搭載して液晶表示モジュールをなす液晶パネル100の場合には、金属フレーム1302内に液晶パネル100を固定したものを液晶装置として、或いはこれに加えてライトガイド1306を組み込んだバックライト式の液晶装置として、生産、販売、使用等することも可能である。

【0174】また図31に示すように、駆動回路1004や表示情報処理回路1002を搭載しない液晶パネル100の場合には、駆動回路1004や表示情報処理回路1002を含むIC1324がポリイミドテープ1322上に実装されたTCP(Tape Carrier Package: 1320)に、TFTアレイ基板10の周辺部に設けられた異性導電フィルムを介して物理的且つ電気的に接続して、液晶装置として、生産、販売、使用等することも可能である。

【0175】以上図28から図31を参照して説明した電子機器の他にも、液晶テレビ、ビューファイナ型又はモニタ直視型のご飯サテーラウォーマ、カーナビゲーション装置、電子手帳、電卓、ロードプロセッサ、エレクトロニクス・ワークステーション(EWS)、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図27に示した電子機器の例として挙げられる。

【0176】以上説明したように、本実施の形態によれば、製造効率が高く高品位の画像表示が可能な液晶パネル100を備えた各種の電子機器を実現できる。

【0177】

【発明の効果】本発明の液晶パネルによれば、第1層間絶縁層は、TFT、データ線及び走査線のうち少なくとも一つに対向する部分が他方の基板の側から見て凹部に窪んで形成されているので、画素部における平坦化が促進され、平坦化膜のメソコート等による表面平坦化された絶縁層の形成等の工程を、省略又は簡略化できる。

【0178】また、TFTの手側に遮光層を設けるタイプが液晶パネルにおいて、遮光層上に層間絶縁層が必要となるという構成上の特長性を積極的に利用することにより、効率よく且つ比較的容易に画素部を平坦化することができ、比較的簡易な構成により液晶の配向不良を抑制することにより高品位の画像表示を行える。

【0179】

【2面の簡易な説明】

【図1】 本発明による液晶パネルの実施の形態に備えられる、データ線、走査線、画素電極、遮光層等が形成されたTFTアレイ基板上の隣接した画素群の平面図である。

【図2】 遮光層と定電位線との接続部分を示すTFTアレイ基板の平面図である。

【図3】 図1のA-A'断面を対向基板等と共に示す液晶パネルの実施の形態の断面図である。

【図4】 図1のA-A'断面を対向基板等と共に示す液晶パネルの変形形態の断面図である。

【図5】 図1のB-B'断面を対向基板等と共に示す液晶パネルの断面図である。

【図6】 図1のC-C'断面を対向基板等と共に示す液晶パネルの断面図である。

【図7】 図1のD-D'断面を対向基板等と共に示す液晶パネルの断面図である。

【図8】 図1の液晶装置の全体構成を示す平面図である。

【図9】 図1の液晶装置の全体構成を示す断面図である。

【図10】 遮光配線をなす遮光層の二次元的レイアウトを示すTFTアレイ基板上の平面図である。

【図11】 液晶パネルの実施の形態の製造プロセスを図3に示した部分について順を追って示す工程図(その1)である。

【図12】 液晶パネルの実施の形態の製造プロセスを図3に示した部分について順を追って示す工程図(その2)である。

【図13】 液晶パネルの実施の形態の製造プロセスを図3に示した部分について順を追って示す工程図(その3)である。

【図14】 液晶パネルの実施の形態の製造プロセスを図3に示した部分について順を追って示す工程図(その4)である。

【図15】 液晶パネルの実施の形態の製造プロセスを図5に示した部分について順を追って示す工程図(その1)である。

【図16】 液晶パネルの実施の形態の製造プロセスを図5に示した部分について順を追って示す工程図(その2)である。

【図17】 液晶パネルの実施の形態の製造プロセスを図5に示した部分について順を追って示す工程図(その3)である。

【図18】 液晶パネルの実施の形態の製造プロセスを図5に示した部分について順を追って示す工程図(その4)である。

【図19】 液晶パネルの実施の形態の製造プロセスを図5に示した部分について順を追って示す工程図(その1)である。

【図20】 液晶パネルの実施の形態の製造プロセスを

図6に示した部分について順を追って示す工程図(その2)である。

【図21】 液晶パネルの実施の形態の製造プロセスを図6に示した部分について順を追って示す工程図(その3)である。

【図22】 液晶パネルの実施の形態の製造プロセスを図6に示した部分について順を追って示す工程図(その4)である。

【図23】 液晶パネルの実施の形態の製造プロセスを図7に示した部分について順を追って示す工程図(その1)である。

【図24】 液晶パネルの実施の形態の製造プロセスを図7に示した部分について順を追って示す工程図(その2)である。

【図25】 液晶パネルの実施の形態の製造プロセスを図7に示した部分について順を追って示す工程図(その3)である。

【図26】 液晶パネルの実施の形態の製造プロセスを図7に示した部分について順を追って示す工程図(その4)である。

【図27】 本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図28】 電子機器の一例としての液晶プロジェクタを示す断面図である。

【図29】 電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

【図30】 電子機器の一例としてのページャを示す分解斜視図である。

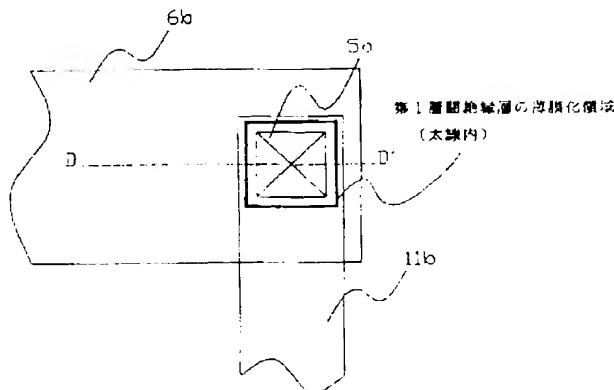
【図31】 電子機器の一例としてのTCPを用いた液晶装置を示す斜視図である。

【符号の説明】

- 1 a…半導体層
1 a'…チャネル形成用領域

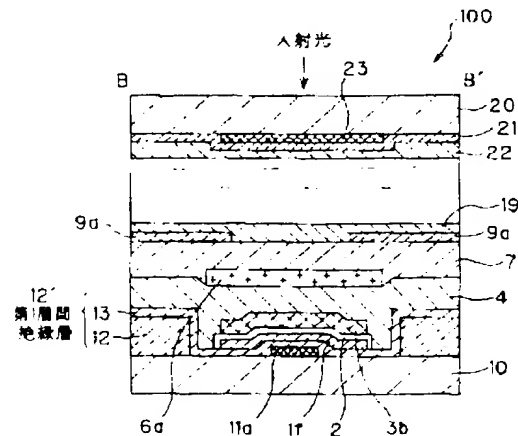
【図2】

遮光層と定電位線との接続部分

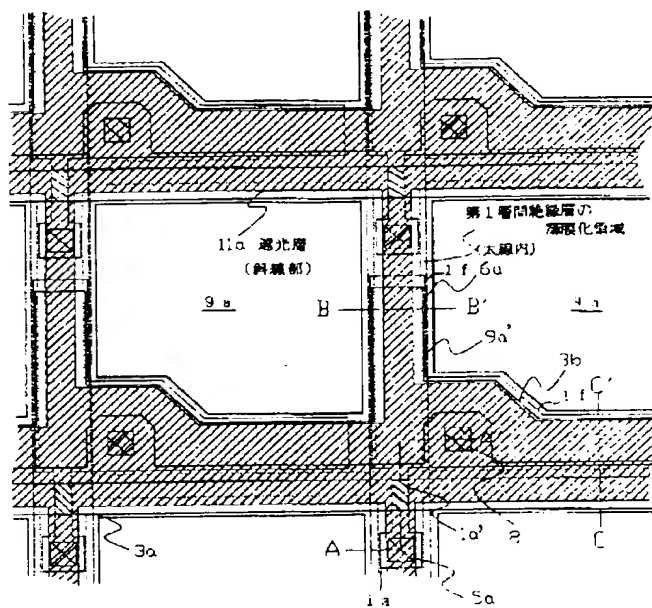


- 1 b…低濃度ノーマ領域(ソース側LDD領域)
1 c…低濃度ドレイン領域(ドレイン側LDD領域)
1 d…高濃度ノーマ領域
1 e…高濃度ドレイン領域
1 f…第1蓄積容量電極
2…ゲート絶縁膜
3 a…走査線(ゲート電極)
3 b…容量線(第2蓄積容量電極)
4…第2層間絶縁層
5 a、5 b…コンタクトホール
6 a…データ線(ノーマ電極)
6 b…定電位線
7…第3層間絶縁層
8…コンタクトホール
9 a…画素電極
10…TFTアレイ基板
11 a、11 b…遮光層(第3蓄積容量電極)
12…第1絶縁層(第1層間絶縁層の下層)
12'、12''…第1層間絶縁層
13…第2絶縁層(第1層間絶縁層の上層)
19…配向膜
20…対向基板
21…共通電極
22…配向膜
23…第2遮光層
30…TFT
50…液晶層
52…シール材
53…周辺見切り
70…蓄積容量
100…液晶パネル
101…データ線駆動回路
104…走査線駆動回路

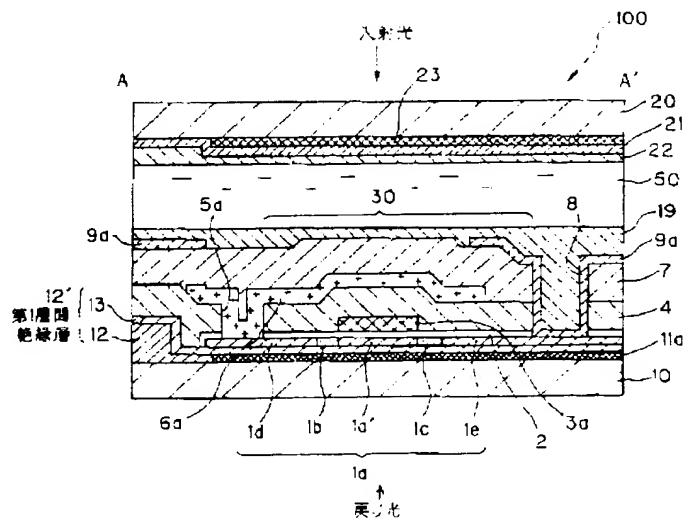
【図5】



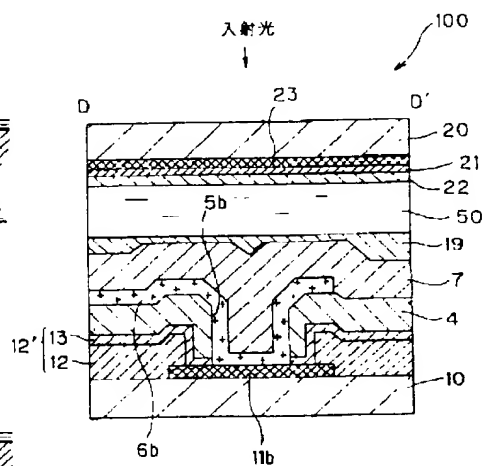
【図1】



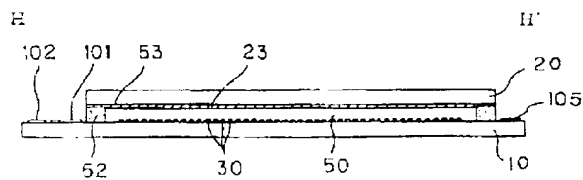
【図3】



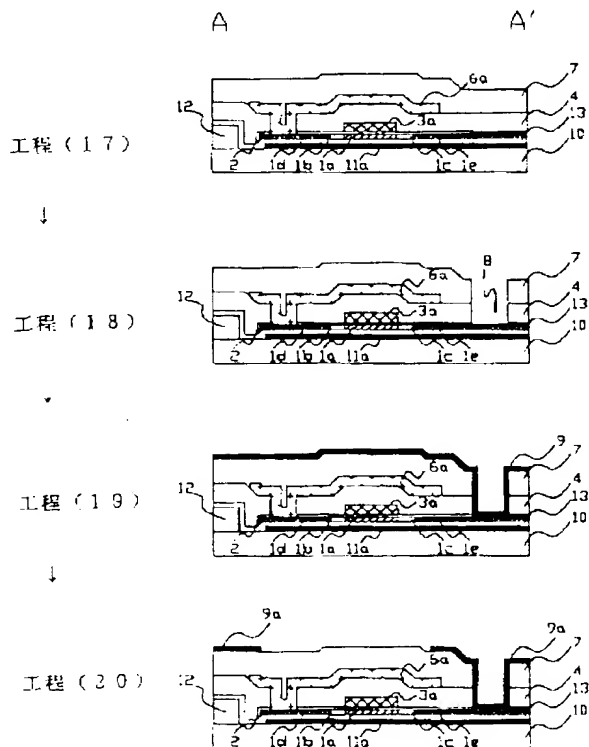
【図7】



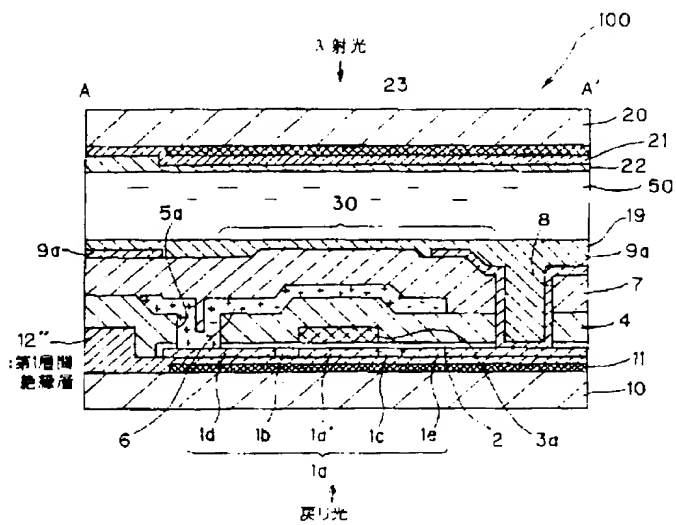
【図9】



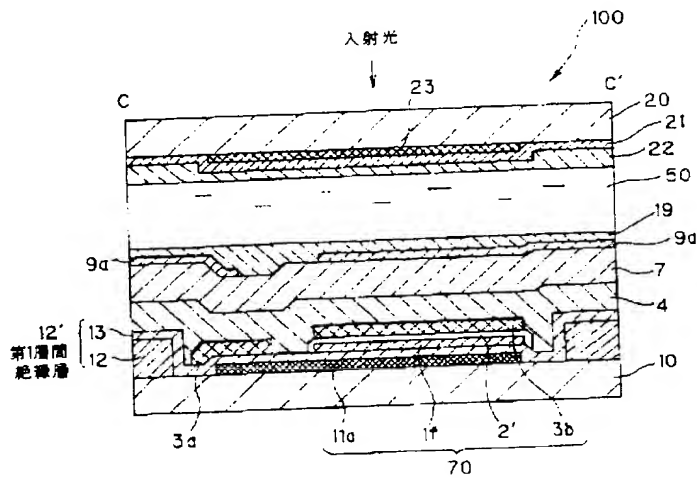
【図11】



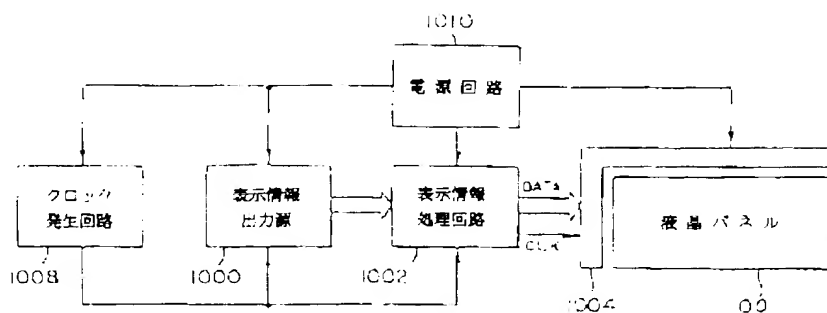
【図4】



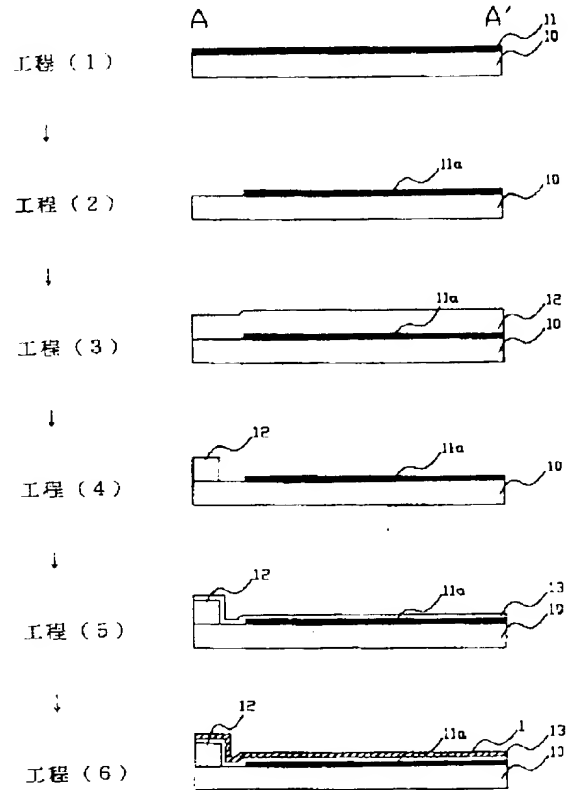
【図6】



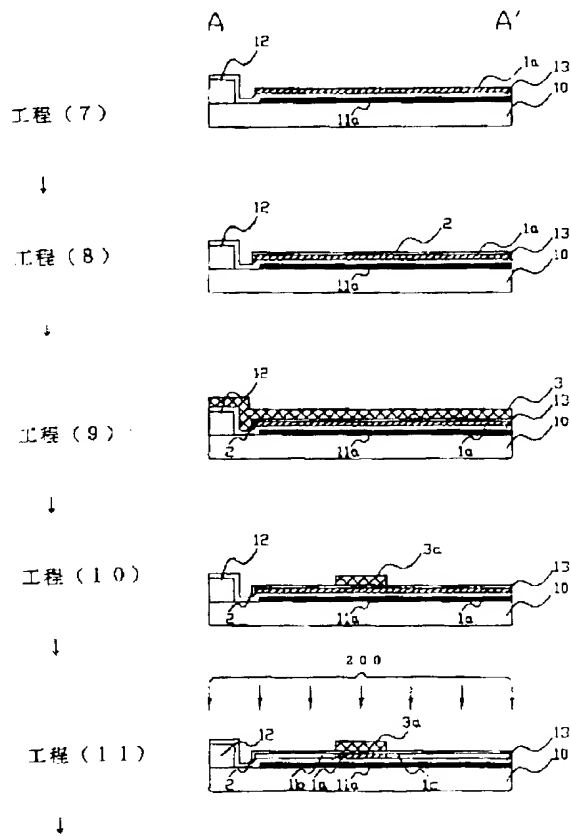
【図7】



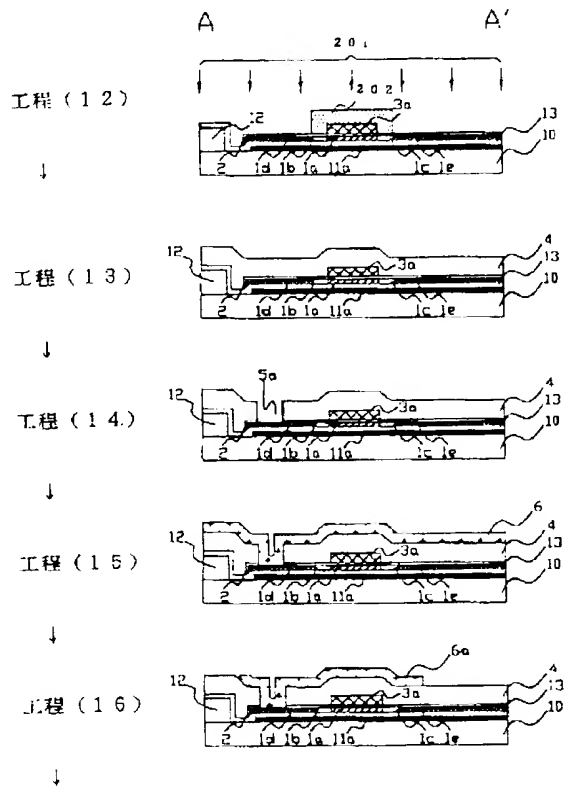
【図11】



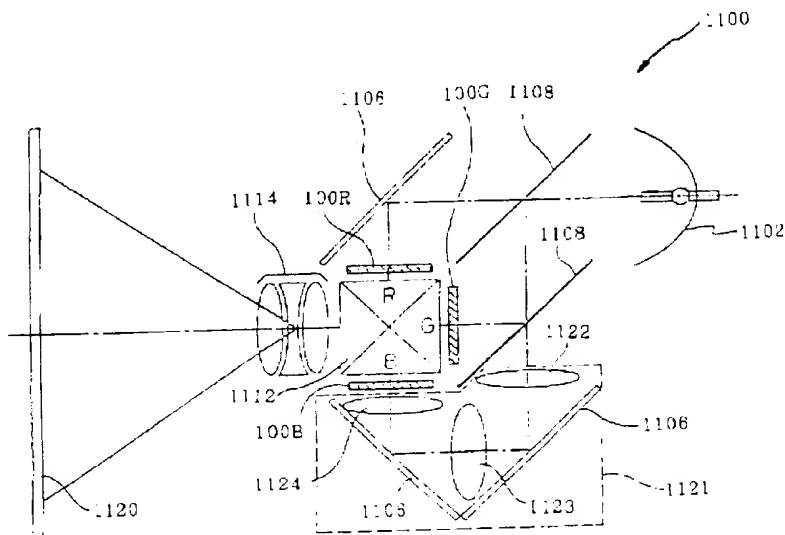
【図12】



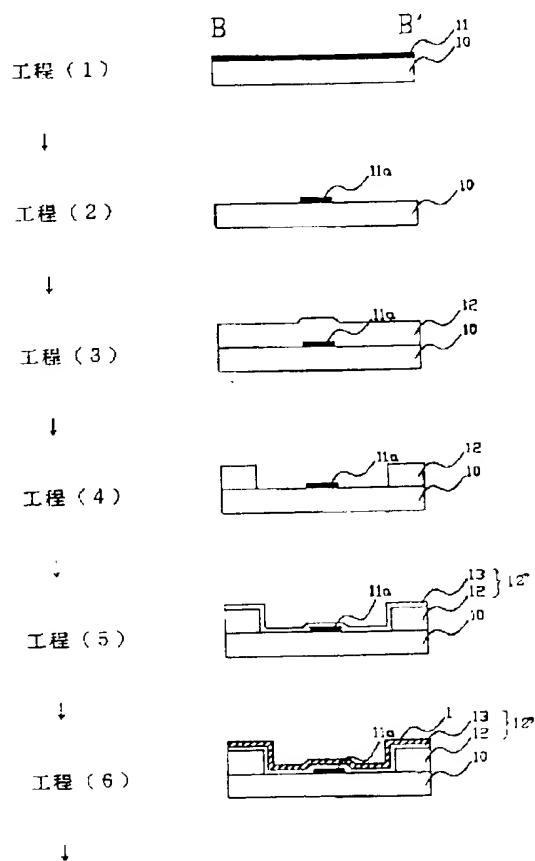
【図13】



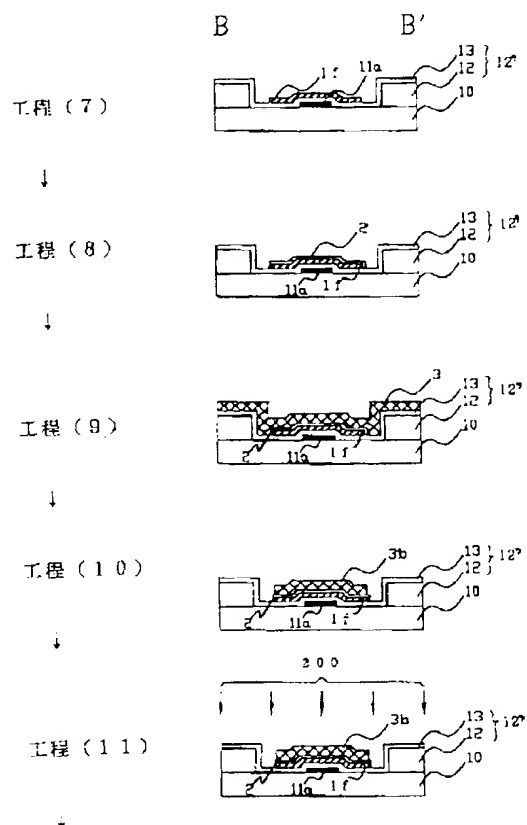
【図28】



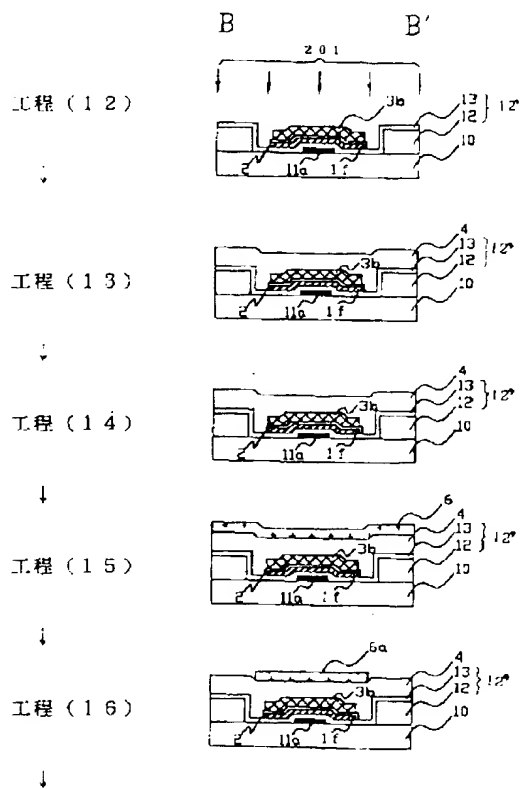
【図15】



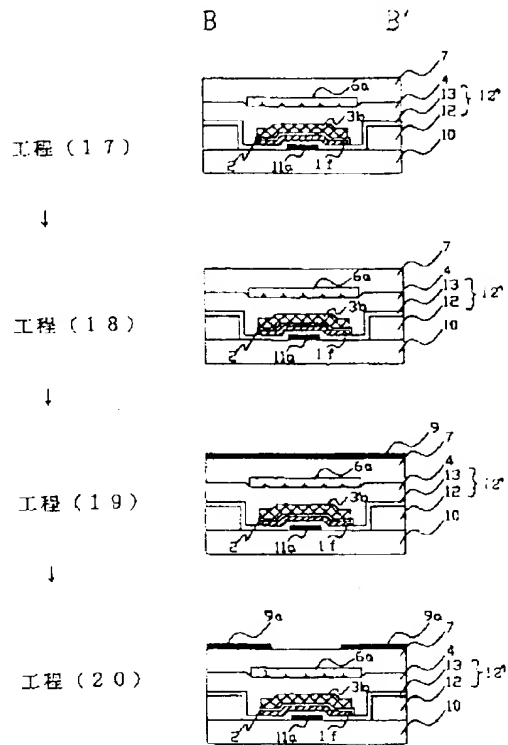
【図16】



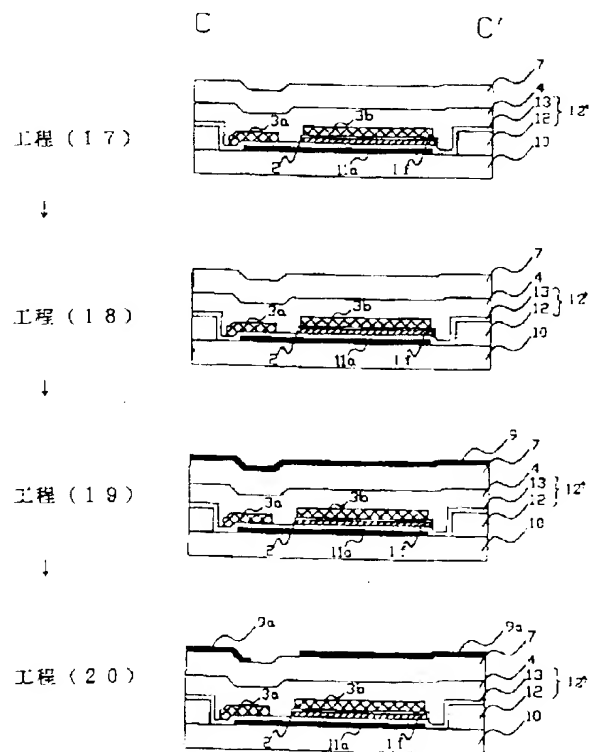
【図17】



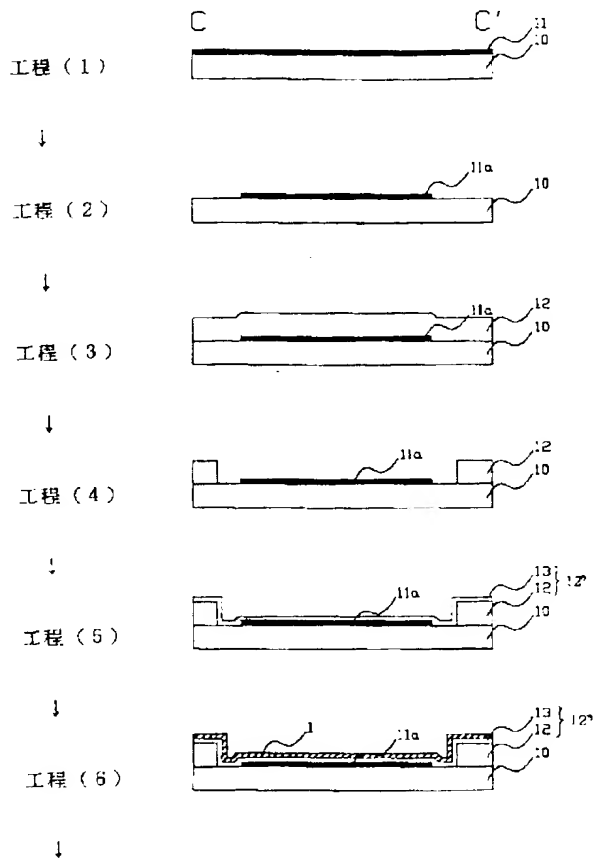
【図18】



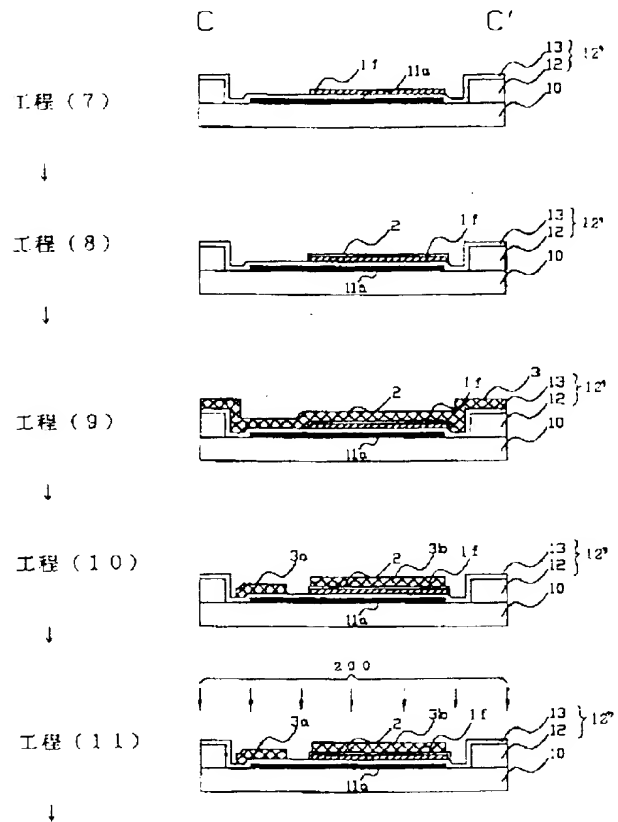
【図22】



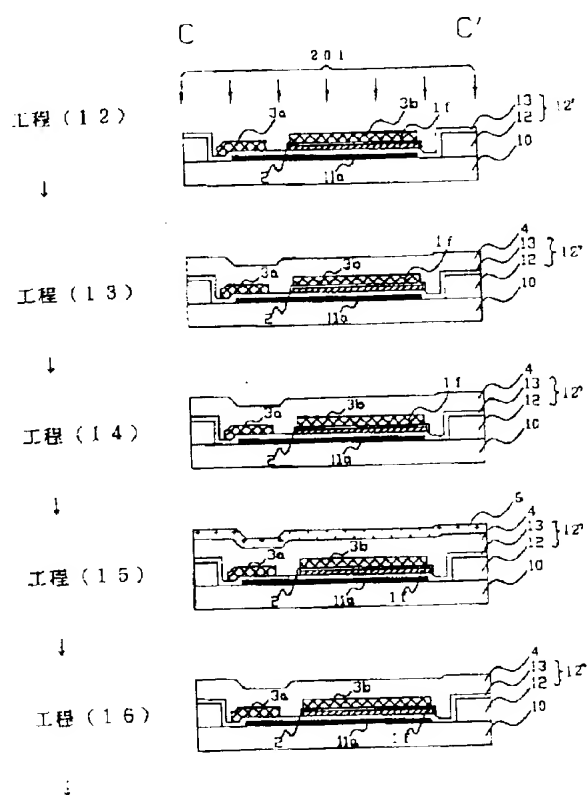
【図19】



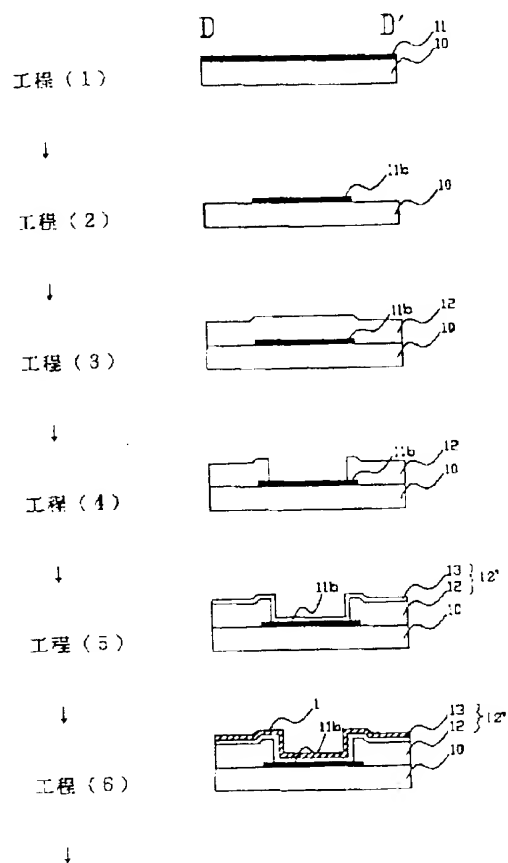
【図20】



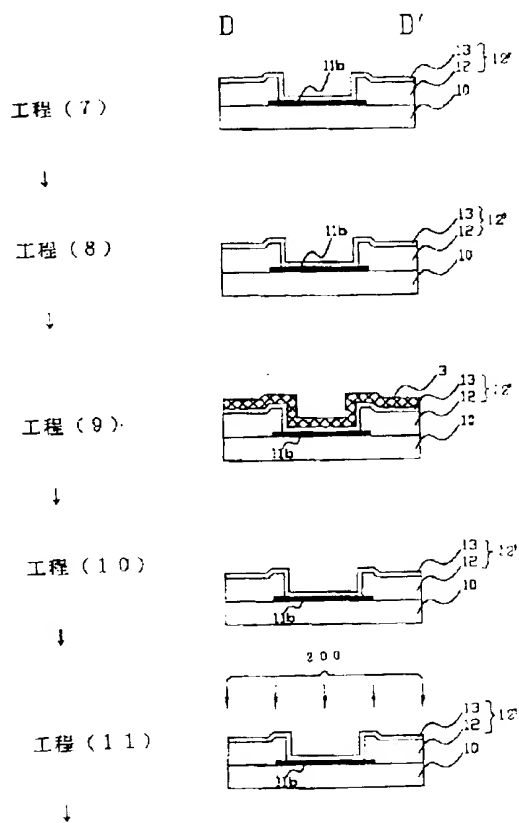
【図 2 1】



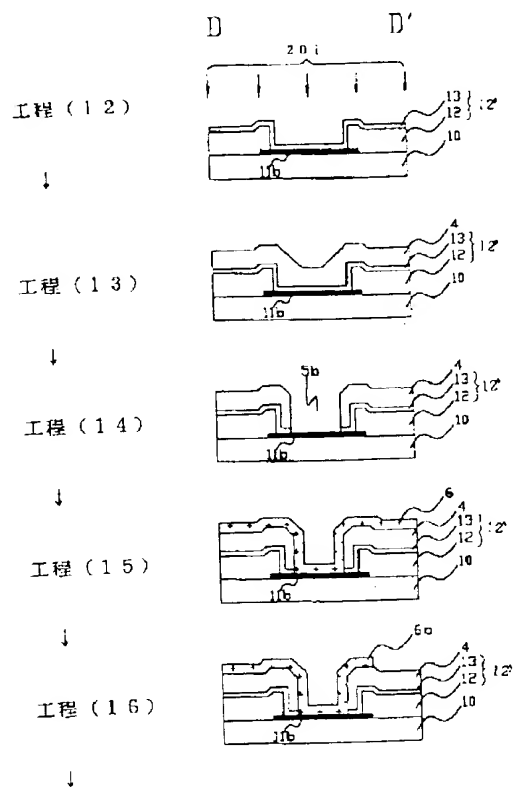
【図 2 3】



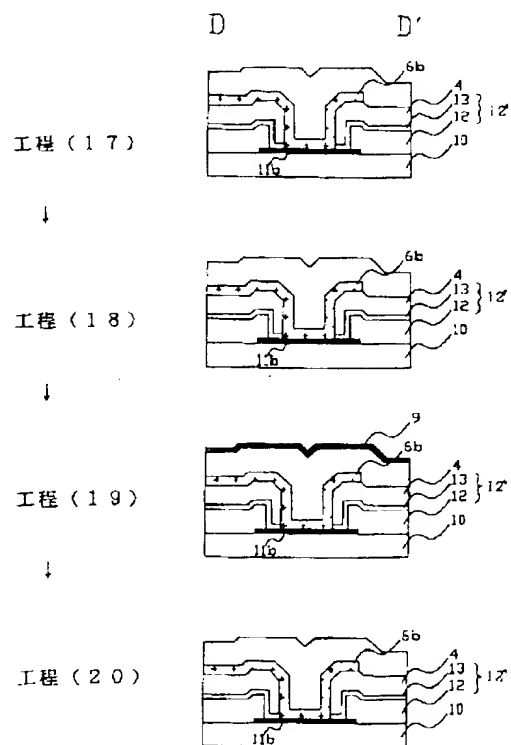
【図 24】



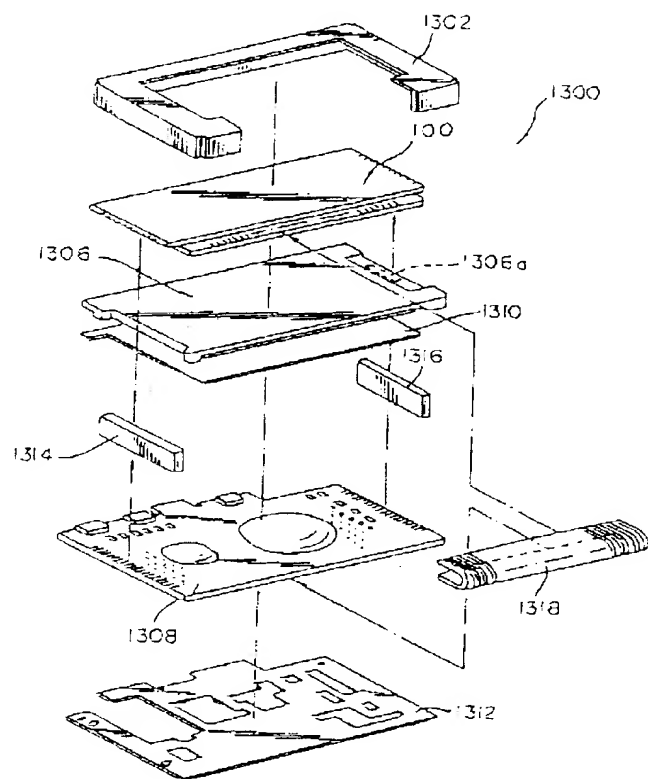
【図 25】



【図26】



【図30】



フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H 0 1 L 29/78

6 1 9 A